

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-297950

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl.⁶H 0 1 L 27/108
21/8242

識別記号

F I

H 0 1 L 27/10

6 8 1 E

審査請求 未請求 請求項の数16 F D (全 23 頁)

(21) 出願番号 特願平10-114317
(22) 出願日 平成10年(1998)4月9日

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(71) 出願人 000233088
日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地
(72) 発明者 藤澤 宏樹
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内
(72) 発明者 梶谷 一彦
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内
(74) 代理人 弁理士 徳若 光政

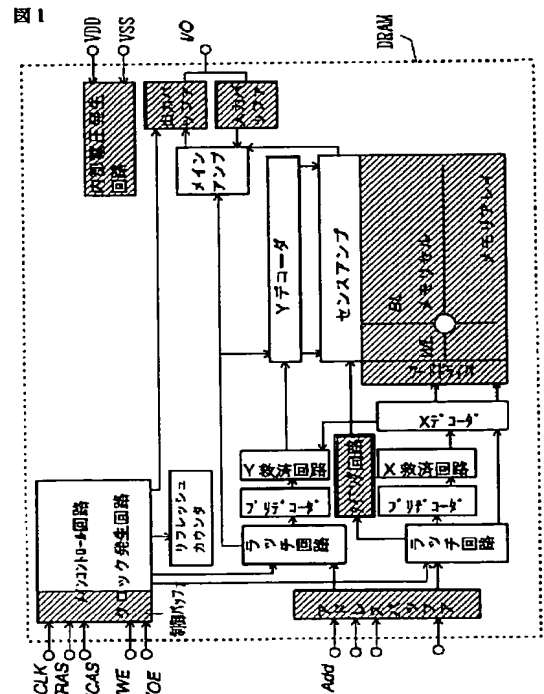
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 信頼性を損なうことなく、デバイスの微細化と高速化及び高集積化及び低消費電力化を図ったダイナミック型RAMを含む半導体集積回路装置を提供する。

【解決手段】 外部端子から供給された電源電圧を受けて動作する内部電圧発生回路より、降圧電圧及び必要に応じて昇圧電圧を形成して内部回路を動作させる半導体集積回路装置において、上記外部端子から供給された電源電圧又は上記内部電圧発生回路で形成された昇圧電圧を受けて動作する第1の内部回路を上記電源電圧又は昇圧電圧に対応した厚い膜厚のゲート絶縁膜を持つ第1のMOSFETで構成し、上記降圧電圧を受けて動作する第2の内部回路を上記降圧電圧に対応した薄い膜厚のゲート絶縁膜を持つ第2のMOSFETで構成する。



【特許請求の範囲】

【請求項 1】 外部端子から供給された電源電圧を受け、それを降圧した降圧電圧を発生させる降圧回路及び必要に応じて設けられる昇圧電圧発生回路を含む内部電圧発生回路と、
上記外部端子から供給された電源電圧又は上記内部電圧発生回路で形成された昇圧電圧を受けて動作する第 1 の内部回路と、
上記内部電圧発生回路で形成された降圧電圧で動作する第 2 の内部回路とを備え、
上記第 1 の内部回路は、上記電源電圧又は昇圧電圧に対応した厚い膜厚のゲート絶縁膜を持つ第 1 の MOS FET で構成され、
上記第 2 の内部回路は、上記降圧電圧に対応した薄い膜厚のゲート絶縁膜を持つ第 2 の MOS FET で構成されてなることを特徴とする半導体集積回路装置。

【請求項 2】 上記昇圧電圧は、電源電圧が所定電圧以上にされたときにはそれに依存して上昇されるものであり、上記所定電圧以上の電源電圧又は昇圧電圧にされたバーンイン試験時での上記電源電圧及昇圧電圧を含み、上記降圧電圧は、電源電圧が所定電圧以上にされたときにはそれに依存して上昇されるものであり、上記電源電圧が上記所定電圧以上にされたバーンイン試験時での降圧電圧も含むものであることを特徴とする請求項 1 の半導体集積回路装置。

【請求項 3】 上記第 1 の内部回路は、外部端子から供給された入力信号を受ける入力回路及び外部端子へ出力信号を送出する出力回路と、
上記内部電圧発生回路で形成された昇圧電圧で動作させられる第 3 の内部回路とからなるものであることを特徴とする請求項 1 の半導体集積回路装置。

【請求項 4】 上記第 2 の内部回路は、上記第 3 の内部回路の動作に対応して動作させられる第 4 内部回路を備え、
上記第 4 の内部回路は、上記第 3 内部回路の動作タイミング信号を上記第 1 の MOS FET が支配的に作用する第 1 の遅延回路により遅延させた動作タイミング信号により動作させられるものであることを特徴とする請求項 3 の半導体集積回路装置。

【請求項 5】 上記第 3 の内部回路は、アドレス選択 MOS FET と記憶キャパシタからなるダイナミック型メモリセルと、かかるダイナミック型メモリセルが接続されたワード線の選択信号を形成するワードドライバであり、
上記入力回路は、アドレス信号及び必要に応じて設けられるクロック信号を含む制御入力信号と書き込み入力信号に対応されたものであり、
上記出力回路は、上記メモリセルから読み出された読み出し信号を出力させるものであることを特徴とする請求項 4 の半導体集積回路装置。

【請求項 6】 上記メモリセルのアドレス選択 MOS FET が形成された半導体領域には、負電圧にされたバックバイアス電圧が供給されるものであり、
かかるバックバイアス電圧は、上記内部電圧発生回路により形成されるものであることを特徴とする請求項 5 の半導体集積回路装置。

【請求項 7】 上記第 4 の内部回路は、センスアンプを駆動するドライブ回路であり、
その動作タイミング信号は、上記ワードドライバの動作タイミング信号を上記第 1 の MOS FET が支配的に作用する第 1 の遅延回路により遅延させた動作タイミング信号により動作させられるものであることを特徴とする請求項 5 の半導体集積回路装置。

【請求項 8】 上記センスアンプを駆動するドライブ回路は、
上記動作タイミング信号に対応して立ち上がり、上記動作タイミング信号を第 2 の MOS FET により構成されてセンスアンプに対応された第 2 の遅延回路の遅延信号に対応して立ち下がり、上記電源電圧又は昇圧電圧に対応した第 1 のタイミング信号を受けてセンスアンプを構成する P チャンネル型 MOS FET のソースに電源電圧を供給するオーバードライブ用の第 1 の N チャンネル型 MOS FET と、

上記第 1 のタイミング信号の立ち下がりに対応して立ち上がり、上記電源電圧又は昇圧電圧に対応した第 2 のタイミング信号を受けて上記センスアンプを構成する P チャンネル型 MOS FET のソースに上記降圧電圧を供給するドライブ用の第 2 の N チャンネル型 MOS FET と、

上記動作タイミング信号を受けてオン状態にされて、上記センスアンプを構成する N チャンネル型 MOS FET のソースに回路の接地電位を供給するドライブ用の第 3 の N チャンネル型 MOS FET とからなり、

上記第 1 と第 2 の N チャンネル型 MOS FET は、そのゲート絶縁膜が厚い膜厚にされた上記第 1 の MOS FET により構成され、

上記第 3 の N チャンネル型 MOS FET は、そのゲート絶縁膜が薄い膜厚にされた上記第 2 の MOS FET により構成されてなることを特徴とする請求項 7 の半導体集積回路装置。

【請求項 9】 上記第 1 の遅延回路は、上記第 1 の MOS FET により構成され、遅延すべき入力信号が入力端子に供給されたインバータ回路と、

上記インバータ回路の出力信号を伝達する抵抗手段と、
上記抵抗手段を通した信号が伝えられ、上記第 2 の MOS FET のゲート容量を利用して構成されたキャパシタと、

上記第 2 の MOS FET により構成され、上記抵抗とキャパシタからなる時定数回路の出力信号が入力端子に供給されて、上記遅延信号を形成する 1 ないし 2 つのイン

パート回路からなることを特徴とする請求項 4 又は請求項 8 の半導体集積回路装置。

【請求項 10】 上記電源電圧又は上記内部電圧発生回路で形成された昇圧電圧を受けて動作する第 1 の内部回路には、かかる電圧がゲートに印加された平滑用 MOS 容量、位相補償用容量を含み、

上記内部電圧発生回路で形成された降圧電圧を受けて動作する第 2 の内部回路には、かかる電圧がゲートに印加された平滑用 MOS 容量、位相補償用容量を含むものであることを特徴とする請求項 1 の半導体集積回路装置。

【請求項 11】 上記内部電圧発生回路は、基板バックバイアス電圧発生回路を含み、

かかる基板バックバイアス電圧発生回路は、基板電圧を所望の電圧に設定する電圧検出回路を備え、

上記電圧検出回路は、定電流源がドレインに設けられ、ゲートが回路の接地電位に接続され、ソースと基板電圧との間に検出電圧調整部が設けられた上記第 2 の MOS FET で構成された第 4 の N チャンネル型 MOS FET と、上記第 4 の MOS FET のドレイン出力を受けて検出信号を形成するインバータ回路からなり、

上記検出電圧調整部は、上記第 4 の N チャンネル型 MOS FET のソースと基板電圧との間に設けられ、それぞれのゲートが上記第 4 の N チャンネル型 MOS FET のソースに接続され、ドレイン、ソース経路が直列形態にされた第 5、第 6 及び第 7 の N チャンネル型 MOS FET 及びそれぞれのドレイン、ソース間を短絡するヒューズ手段からなり、

上記第 5 及び第 6 の N チャンネル型 MOS FET は、ゲート絶縁膜の膜厚が厚く形成された上記第 1 の MOS FET からなり、上記第 7 の N チャンネル型 MOS FET は、ゲート絶縁の膜厚が薄く形成された上記第 2 の MOS FET からなり、かつ、それぞれの MOS FET のゲート長としきい値電圧との関係においてしきい値電圧のばらつきの小さなゲート長の範囲であって、しきい値電圧がそれぞれ異なるようにそれぞれのゲート長を設定してなり、

上記ヒューズの選択的な切断によって上記検出電圧の調整を行うようにするものであることを特徴とする請求項 6 の半導体集積回路装置。

【請求項 12】 上記第 3 の内部回路は、メインワード線と、

上記メインワード線の延長方向に対して分割された長さとなされ、かつ、上記メインワード線と交差するビット線方向に対して複数配置され、複数からなるダイナミック型メモリセルのアドレス選択端子が接続されてなるサブワード線及び上記複数のサブワード線とそれと直交するように配置され、上記ダイナミック型メモリセルの入出力端子がその一方に接続された複数の相補ビット線対からなるサブアレイと、

上記メインワード線の選択信号と上記サブワード選択線

を通して伝えられた選択信号とを受けて、上記サブワード線の選択信号を形成する複数からなるサブワード線駆動回路と、

上記メインワード線の選択信号を形成するメインワード線駆動回路とを含むものであることを特徴とする請求項 5 の半導体集積回路装置。

【請求項 13】 上記サブアレイは、

上記複数からなるサブワード線配列の両端側にサブワード線駆動回路が振り分けられて分割して配置され、

10 上記複数からなる相補ビット線配列の両端側にセンスアンプが振り分けられて分割して配置され、

上記 1 つのサブアレイは、上記複数のサブワード線駆動回路列と上記複数のセンスアンプ列とにより囲まれるように形成されるものであることを特徴とする請求項 12 の半導体集積回路装置。

【請求項 14】 上記センスアンプは、シェアードセンス方式となされ、それを中心にして隣接するサブアレイのビット線に対応して共通に設けられるものであり、上記サブワード線駆動回路は、それを中心にして隣接するサブアレイのサブワード線を選択するものであることを特徴とする請求項 13 の半導体集積回路装置。

【請求項 15】 上記降圧電圧は、ほぼ 2 V 以下であって、第 2 の MOS FET で構成される CMOS 回路の下限動作電圧よりも高い電圧であることを特徴とする請求項 1 又は請求項 5 の半導体集積回路装置。

【請求項 16】 外部端子から供給された電源電圧を受け、それを降圧した降圧電圧を発生させる降圧回路と、上記高圧電圧より高い電圧を受けて動作する第 1 の内部回路と、

30 上記降圧電圧で動作する第 2 の内部回路とを備え、

上記第 1 の内部回路は、第 1 膜厚のゲート絶縁膜を持つ第 1 の MOS FET を有し、

上記第 2 の内部回路は、上記第 1 膜厚より薄い第 2 膜厚のゲート絶縁膜を持つ第 2 の MOS FET を有し、

上記第 2 の内部回路は、上記第 1 の内部回路に対するタイミング信号を形成する遅延回路を備え、

上記遅延回路は、上記第 1 の MOS FET を含むことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

40 【0001】

【発明の属する技術分野】この発明は、半導体集積回路装置に関し、例えば高速化と低消費電力化に向けられたダイナミック型 RAM (ランダム・アクセス・メモリ) に利用して有効な技術に関するものである。

【0002】

【従来の技術】階層ワード線構成にしつつ、三重ウェル構造として深い深さの N ウェルを備えたダイナミック型 RAM の例として、特開平 8-181292 公報がある。

【0003】

【発明が解決しようとする課題】ダイナミック型RAMにおいては、外部端子から供給された電源電圧から複数種類の内部電圧を形成して内部回路ブロックに供給している。例えば、微細デバイスの信頼性確保と消費電力の低減のため、内部回路を外部電源電圧VDD（5V）から降圧した降圧電圧（3V）で動作させる方式が、16Mビットのダイナミック型RAM以来広く用いられてきた。64Mビット世代では、外部電圧VDDが3.3Vに低下し、メモリセルのキャパシタに2.5V程度の降圧電圧を供給するもの、あるいは周辺回路も降圧した電圧で動作させるなど内部回路での動作電圧を低くする方向に向いている。

【0004】ダイナミック型メモリセルでは、オフ状態でのリーク電流やワード線の浮き上がりによるリーク電流によって情報保持時間が短くなってしまうのを防ぐために、そのしきい値電圧が大きくなるように形成する必要がある。一方、上記メモリセル以外の内部回路では、低消費電力化のためには動作電圧を低くすることが望ましく、かかる低電圧において所望の動作速度を確保するためには、MOSFETのしきい値電圧を小さくすることが望ましい。

【0005】従来のダイナミック型RAMでは、上記のような相反する要求を満たすために、上記メモリセルでの情報保持時間と上記周辺回路の動作速度とを考慮した比較的大きなしきい値電圧を持つようなMOSFETを形成する。上記3重ウェル構造によって、メモリセルのMOSFETが形成されるP型ウェル領域と周辺回路のMOSFETが形成されるP型ウェル領域又は基板とを電気的に分離して、メモリセルのアドレス選択MOSFETを構成するもののチャンネル部分に負のバックバイアス電圧を供給して、そのしきい値電圧が大きくなるような修正を加える一方で、周辺回路を構成するMOSFETのチャンネル部分には回路の接地電位を与えつつ、イオン打ち込み技術により上記チャンネル部分の不純物濃度を低くし修正してしきい値電圧が小さくするように調整するものである。

【0006】本願発明者等においては、256Mビットのような大記憶容量を持つようにされたダイナミック型RAMの検討において、いっそうの低消費電力化を図るために動作電圧を2V以下にすることを検討した。このように動作電圧が2Vあるいは1.8Vのように低くなると、上記のようなしきい値電圧の修正技術では、所望の動作速度が得られないばかりか、プロセスバラツキが大きくなってしまいうという問題が生じてしまう。そこで、本願発明者等においては、動作電圧に応じた2種類のゲート絶縁膜を持つMOSFETを用いて1つの半導体集積回路装置を構成することを考えた。かかる2種類のゲート絶縁膜のMOSFETを用いた場合には、2種類のゲート絶縁膜のMOSFETを用いた回路間での動作制御あるいはタイミング調整において、それぞれのゲ

ート絶縁膜の膜厚のばらつきによる動作タイミングのワーストケースを想定したタイミング設定が必要になり、動作速度の大きな妨げになるという新たな問題点にきつ当たった。

【0007】この発明の目的は、信頼性を損なうことなく、デバイスの微細化と高速化及び低消費電力化を実現した半導体集積回路装置を提供することにある。この発明の他の目的は、信頼性を損なうことなく、デバイスの微細化と高速化及び高集積化及び低消費電力化を図ったダイナミック型RAMを含む半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、外部端子から供給された電源電圧を受けて動作する内部電圧発生回路より、降圧電圧及び必要に応じて昇圧電圧を形成して内部回路を動作させる半導体集積回路装置において、上記外部端子から供給された電源電圧又は上記内部電圧発生回路で形成された昇圧電圧を受けて動作する第1の内部回路を上記電源電圧又は昇圧電圧に対応した厚い膜厚のゲート絶縁膜を持つ第1のMOSFETで構成し、上記降圧電圧を受けて動作する第2の内部回路を上記降圧電圧に対応した薄い膜厚のゲート絶縁膜を持つ第2のMOSFETで構成する。

【0009】本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、上記第1の内部回路の動作に対応して第2の内部回路を動作させるときには、上記第2の内部回路の動作タイミング信号を上記第1の内部回路を構成する第1のMOSFETを用いた遅延回路で第1の内部回路の動作状態をモニタして形成する。

【0010】

【発明の実施の形態】図1には、この発明に係るダイナミック型RAMの一実施例の全体ブロック図が示されている。制御入力信号は、ロウアドレスストロブ信号/RAS、カラムアドレスストロブ信号/CAS、ライトイネーブル信号/WE及び出力イネーブル信号/OEとされる。ここで、/はロウレベルがアクティブレベルを表す論理記号のオーバーバーに対応している。Xアドレス信号とYアドレス信号は、共通のアドレス端子Addからロウアドレスストロブ信号/RASとカラムアドレスストロブ信号/CASに同期して時系列的に入力される。

【0011】アドレスバッファを通して入力されたXアドレス信号とYアドレス信号とは、ラッチ回路にそれぞれ取り込まれる。ラッチ回路に取り込まれたXアドレス信号は、前記のようなプリデコードにより供給され、そ

、7

の出力信号がXデコーダに供給されてワード線WLの選択信号が形成される。ワード線の選択動作により、メモリアレイの相補ビット線には上記のような読み出し信号が現れ、センスアンプにより増幅動作が行われる。ラッチ回路に取り込まれたYアドレス信号は、前記のようなブリデコーダに供給され、その出力信号がYデコーダに供給されてビット線DLの選択信号が形成される。X救済回路及びY救済回路は、不良アドレスの記憶動作と、記憶された不良アドレスと上記取り込まれたアドレス信号とを比較し、一致なら予備のワード線又はビット線の選択をXデコーダ及びYデコーダに指示するとともに、正規ワード線又は正規ビット線の選択動作を禁止させる。

【0012】センスアンプで増幅された記憶情報は、図示しないカラムスイッチ回路により選択されものが共通入出力線に接続されてメインアンプに伝えられる。このメインアンプは、特に制限されないが、書き込み回路も兼ねたアンプとされる。つまり、読み出し動作のときには、Yスイッチ回路を通して読み出された読み出し信号を増幅して、出力バッファを通して外部端子I/Oから出力させる。書き込み動作のときには、外部端子I/Oから入力された書き込み信号が入力バッファを介して取り込まれ、メインアンプを介して共通入出力線及び選択ビット線に伝えられ、選択ビット線では上記センスアンプの増幅動作により書き込み信号が伝えられてメモリセルのキャパシタにそれに対応した電荷が保持される。

【0013】クロック発生回路（メインコントロール回路）は、上記信号/RASと/CASに対応して入力されたアドレス信号の取り込み制御タイミング信号や、センスアンプの動作タイミング信号等のように、メモリセルの選択動作に必要な各種のタイミング信号を発生させる。内部電源発生回路は、電源端子から供給されたVDDとVSSのような動作電圧を受け、上記プレート電圧、内部昇圧電圧VPP、内部降圧電圧VDL、VDL/2のようなプリチャージ電圧、基板バックバイアス電圧VBBのようい各種内部電圧を発生させる。リフレッシュカウンタは、リフモードにされたときにリフレッシュ用のアドレス信号を生成してX系の選択動作に用いられる。

【0014】この実施例では、同図に斜線を付した各回路は、その動作電圧である電源電圧VDD又は昇圧電圧VPPによるゲート絶縁膜破壊が生じないような比較的厚い膜厚のゲート絶縁膜のMOSFET（本願明細書では、MOSFETを絶縁ゲート型電界効果トランジスタ、いわゆるMISFETをも含むという意味で用いている。）で構成される。それ以外の各回路は、以下に説明する一部の例外を除いてその動作電圧である降圧電圧VDLに対応した比較的薄いゲート絶縁膜のMOSFETで構成されている。

【0015】上記アドレスバッファや上記制御信号を受

8

ける制御バッファ、入力バッファ及び出力バッファは、システムの電源電圧VDDで動作する他の装置との間でのインターフェイスのために電源電圧VDDで動作させられる。内部電圧発生回路は、電源電圧VDDと接地電位VSSを基に降圧電圧VDL、昇圧電圧VPP及び負電圧VBBを形成するので必然的に上記電源電圧VDDで動作させられる。そして、メモリアレイ（メモリセル）及びワードドライバは、前記のようなメモリセルのキャパシタ電荷のフルライト動作のために昇圧電圧VPPで動作させられる。このような比較的高い電圧で動作させられるMOSFETは、上記比較的厚い膜厚（例えば8nm）のゲート絶縁膜のMOSFETで構成される。

【0016】これに対して、上記のようなメインコントロール回路、クロック発生回路の上記制御バッファを除いた内部回路、リフレッシュカウンタ、ラッチ回路、ブリデコーダ、X、Y救済回路、Xデコーダ、Yデコーダ、センスアンプ及びメインアンプといった各回路は、上記降圧電圧VDLで動作させられ、それに対応して上記比較的薄い膜厚（例えば4nm）のゲート絶縁膜のMOSFETで構成される。動作電圧は上記降圧電圧VDLであるが、ワード線の選択動作に対応してセンスアンプを活性化させるタイミング信号を形成するタイミング回路は、上記ワードドライバの動作をモニタするために、比較的厚い膜厚のゲート絶縁膜のMOSFETを用いた遅延回路により構成される。このように上記動作電圧、つまりゲート絶縁膜の耐圧との関係でMOSFETのゲート絶縁膜の膜厚を設定するという本願発明での原則の例外の1つとして上記タイミング回路があげられる。

【0017】図2には、上記タイミング回路の一実施例の概略ブロック図が示されている。この実施例では、ロウ系のクロック信号RCLKの立ち上がりに対応してシェアードスイッチ回路及びビット線イコライズ回路の制御信号SHR/BLEQをセット（シェアードスイッチの一方をオフ状態に、イコライズMOSFET及びプリチャージMOSFETをオフ状態）にし、遅延回路DL1の遅延信号によりサブワード線SWLをセット（選択）し、遅延回路DL2の遅延時間によりセンスアンプSAをセット（動作状態）し、遅延回路DL3にてオーバードライブMOSFETをオフにし、代わってVDL供給用のスイッチMOSFETをオン状態にする。上記クロック信号RCLKの立ち下がりにより、サブワード線SWLをリセット（非選択）にし、遅延回路DL4によりセンスアンプSAのリセット（非動作）する。

【0018】上記シェアードスイッチMOSFETは、高電圧VPPがゲートに印加されてスイッチがオン状態にされ、そのロウレベルへの変化によりオフ状態にされるものであるために、その動作をモニタするために遅延回路DL1は上記厚いゲート絶縁膜のMOSFETを

用いて構成される。同様にサブワード線の選択動作をモニタするために遅延回路DL2も上記厚いゲート絶縁膜のMOSFETを用いて構成される。つまり、サブワード線が選択されて、選択されたメモリセルのアドレス選択MOSFETがオン状態になって、ビット線容量にプリチャージされた電荷と、メモリセルのキャパシタに保持された電荷とのチャージシェアに要する時間を待つてセンスアンプを動作させる必要があるために、上記遅延回路DL2には、サブワードドライバと同じ上記厚いゲート絶縁膜のMOSFETを用いて構成されるものである。

【0019】これに対して、センスアンプのオーバードライブ時間を設定する遅延回路DL3は、薄いゲート絶縁膜で形成されるセンスアンプの動作をモニタするために、センスアンプと同じ薄いゲート絶縁膜で形成されたMOSFETを用いて構成される。また、サブワード線SWLのリセットをまって非動作状態にされるセンスアンプ、及びシェアードスイッチMOSFETやイラライズMOSFETの動作タイミングを設定する遅延回路DL4は、サブワードドライバでの動作時間をモニタするためにそれと同じ上記厚いゲート絶縁膜のMOSFETを用いて構成されるものである。

【0020】上記タイミング回路を他の内部回路と同じく薄いゲート絶縁膜のMOSFETで構成した場合、上記サブワードドライバ等の厚い膜厚のゲート絶縁膜を持つMOSFETでの最も長い時間に対応したワーストケースを考慮した時間と、薄いゲート絶縁膜のMOSFETを用いた遅延回路の最も短い時間になった場合のワーストケースとの両方を考慮した余分な時間マージンを設定する必要があり、上記のような2つのワーストケースが生じる稀な場合を除いて、大半のダイナミック型RAMでは必要以上にセンスアンプの動作時間を長く設定してしまうことになるものである。ダイナミック型RAMでは、アドレス入力からそれに対応した読み出し信号が得られるまでの時間のうち、上記センスアンプの動作時間に占める時間が比較的大きく、上記ワード線の選択タイミングとセンスアンプの活性化のタイミングはできるだけ短くするのが高速化を図る上で極めて重要になるものである。

【0021】図3には、上記遅延回路DL2の一実施例の回路図が示されている。上記のように遅延回路DL2は、サブワードドライバでの動作時間をモニタするためにそれと同じ上記厚いゲート絶縁膜のMOSFETを用いて構成されるものであるが、それは全ての素子が厚いゲート絶縁膜のMOSFETで構成されるという意味ではない。遅延回路DL2は、上記のようにサブワードドライバでの動作時間をモニタするものであればよいから、その遅延時間が厚いゲート絶縁膜のMOSFETのプロセスバラツキに対応して形成されれば足りる。この趣旨により、厚いゲート絶縁膜のMOSFET（以下、

厚膜MOSという）は、入力信号を受けるPチャンネル型MOSFETQ30とNチャンネル型MOSFETQ31のみで構成される。このCMOSインバータ回路の出力部には、抵抗R10とR11及び薄いゲート絶縁膜からなるMOSFET（以下、薄膜MOSという）Q32とQ33のゲート容量を利用したキャパシタからなる時定数回路が設けられる。そして、上記時定数回路の出力信号を受けるバッファ回路BA1とBA2を通して出力タイミング信号RSA1Tが形成される。このバッファ回路での遅延時間は、全体の遅延時間に対して無視できる程度にされる。

【0022】上記MOSFETQ30とQ31のプロセスバラツキに対応したオン抵抗値が支配的に作用して上記抵抗R10とR11及びキャパシタからなる時定数を決定する。つまり、この実施例の遅延回路DL2は、上記抵抗R10やR11及びキャパシタQ32、Q33はいわばプロセスバラツキには無関係の一定の遅延時間を形成するものであり、ワード線の選択動作のプロセスバラツキに対応した遅延時間の設定には、上記厚い膜厚にされたゲート絶縁膜のMOSFETのオン抵抗値が支配的に作用するようにされる。

【0023】図4には、上記サブワードドラバの一実施例の回路図が示されている。この実施例のメモリアレイは、メインワード線とサブワード線からなる階層ワード線方式にされる。このような階層ワード線方式に関しては後に説明するが、サブワードドライバは、メインワード線の選択信号と、サブワード選択線FXとを受けて、サブワード線の選択信号を形成する。つまり、Pチャンネル型MOSFETQ34とNチャンネル型MOSFETQ35によりインバータ回路の入力端子に上記メインワード線を接続し、その動作電圧が上記サブワード選択線FXから供給される。また、サブワード線のリセット用MOSFETQ36のゲートにも上記サブワード選択線FXが供給される。

【0024】サブワード線の選択レベルを昇圧電圧VPPに対応した高電圧にするために、上記サブワード選択線FXの選択レベルはVPPのような高電圧にされる。また、メインワード線の非選択レベルはVPPのような高電圧にされる。したがって、メインワードドライバMWDの動作電圧はVPPにされる。このメインワードドライバMWDに選択信号を供給するプリデコーダは、降圧電圧VDLを動作電圧として動作する。したがって、メインワードドライバの入力部には、上記VDL信号をVPP信号に変換するレベル変換回路が設けられる。上記低電圧VDLで動作するプリデコーダは、薄膜MOSで構成され、上記高電圧VPPで動作するメインワードドライバMWD及びサブワードドライバは厚膜MOSで構成されるものである。

【0025】サブワードドラバの動作は、次の通りである。メインワード線がロウレベルの選択レベルであつ

て、Pチャンネル型MOSFETQ34のソースに接続されるFX線がVPPの選択レベルで、Nチャンネル型MOSFETQ36のゲートにFX線が0Vの選択レベルであるとき、Pチャンネル型MOSFETQ34がオン状態に、Nチャンネル型MOSFETQ35とQ36がオフ状態になって、サブワード線をVPPのような選択レベルにする。

【0026】メインワード線がVPPのようなハイレベルの非選択レベルであると、Pチャンネル型MOSFETQ34がオフ状態になり、Nチャンネル型MOSFETQ35がオン状態になるので、ソースに接続されるFX線がVPPの選択レベルで、Nチャンネル型MOSFETQ36のゲートにFX線が0Vの選択レベルであっても、サブワード線は非選択レベルにされる。また、メインワード線がロウレベルの選択レベルであって、Pチャンネル型MOSFETQ34がオン状態でも、そのソースに接続されるFX線が0Vの非選択レベルで、Nチャンネル型MOSFETQ36のゲートにFX線がVPPの非選択レベルであるとMOSFETQ36のオン状態によりサブワード線を0Vのような非選択レベルにする。

【0027】図5には、上記ロウ系の選択動作の一例を説明するためのタイミング図が示されている。クロック信号RCLKのハイレベルへの立ち上がりより、シェアドスウィッチ制御信号SHRとイコライズ信号BLEQがロウレベルにされる。これにより、非選択側のビット線がセンスアンプから切り離されるとともに、イコライズMOSFET及びブリチャージMOSFETがオフ状態にされる。

【0028】上記信号RCLKの立ち下がりを受けて、ワード線がロウレベルからハイレベルへの選択レベルにされる。このようなワード線の選択動作により、選択されたメモリセルのMOSFETがオン状態となり、相補ビット線の一方に選択されたメモリセルからの記憶電荷に対応した微小読み出し信号が現れる。上記のようなワード線の選択動作及びビット線と寄生容量とメモリセルのキャパシタとのチャージシェアによる上記微小読み出し信号が得られるまでの時間をまっ、センスアンプの活性化信号RSANが形成される。実際には、センスアンプの高速動作のためにセンスアンプはその動作開始時に一時的に電源電圧VDDのような高電圧で動作させられる。

【0029】上記クロック信号RCLKの立ち下がりにより、ワード線が選択レベルから非選択レベルに切り替えられ、このワード線の非選択レベルにされることを待って、センスアンプの活性化信号RSANがロウレベルの非活性レベルにされ、シェアドスウィッチ制御信号SHR及びイコライズ信号BLEQがハイレベルにされて、相補ビット線のハーフブリチャージ（イコライズ動作）が実施される。

【0030】上記のように高電圧での動作を行うシェアドスウィッチ制御信号SHR及びイコライズ信号BLEQのオフ状態をモニタしたワード線選択タイミングや、ワード線の選択タイミングからセンスアンプを活性化させるセンスアンプタイミング及びワード線のオフ状態をモニタしたセンスアンプの非活性させるセンスアンプタイミングを行う上記遅延回路DL1、DL2及びDL4に、上記厚膜MOSを用いることにより、そのプロセスバラツキを反映させたタイミング設定が可能となり、余分な時間マージンの設定が不要にできるためにアドレス入力から読み出し信号が得られるまでの時間を短くすること、言い換えるならば、メモリアクセス時間の短縮化を図ることができるものとなる。

【0031】図6には、この発明に係るダイナミック型RAMの一実施例を説明するための素子構造断面図が示されている。この実施例では、上記のようなメモリセル部、厚膜MOSと薄膜MOSとの素子構造が代表として例示的に示されている。メモリセルの記憶キャパシタは、2層目のポリシリコン層をストレージノードSNCとして用い、アドレス選択用MOSFETの一方のソース、ドレインを構成するN+拡散層と接続される。上記2層目ポリシリコン層からなるストレージノードSNCは王冠構造とされ、薄いゲート絶縁膜を介して3層目ポリシリコン層からなるプレート電極PLTが形成されて構成される。アドレス選択用MOSFETのゲートは、サブワード線SWLと一体的に構成され、1層目ポリシリコン層FGとその上部に形成されたタングステンシリサイド（WSi）とにより形成される。

【0032】アドレス選択用MOSFETの他方のソース、ドレインを構成するN+拡散層は、ポリシリコン層とその上部設けられた上記同様なタングステンシリサイド（M1）から構成されたビット線BLに接続される。上記メモリセルの上部には、第2層目のメタル層M2からなるメインワード線MWL、図示しないサブワード選択線FXBが形成され、その上部には第3層目からなるメタル層M3からなるY選択線YSや、サブワード選択線FXが形成される。そして、上記アドレス選択MOSFETのゲート絶縁膜は、約8nm程度の比較的厚い厚さで形成される。これにより、上記ゲートが接続されるサブワード線SWLの昇圧電圧VPPのような選択レベルに対して十分な耐圧を持つとともに、しきい値電圧が比較的大きく形成されて情報保持特性を確保するようにできる。

【0033】この実施例では、上記アドレス選択MOSFETが形成されるP型ウェル領域PWE L Lは、深い深さのN型ウェル領域DWE L Lにより電気的に分離されて、-1V程度の負のバックバイアス電圧VBBが供給される。このような負電圧VBBの供給によっても上記アドレス選択MOSFETのしきい値電圧を高くするとともに、上記PWE L Lに発生するマイノリティキャ

リアが上記上記キャパシタに接続されるN+拡散層に到達するのを防いで情報保持時間を長くするようにされる。

【0034】メモリセル部の周辺部に設けられるサブワードドライバSWDや外部端子から供給される電源電圧を受ける動作する入力バッファ等を構成する厚ゲート絶縁膜を持つNチャンネル型MOSFETも、上記メモリセルのアドレス選択MOSFETと同じく形成される。ただし、それが形成されるP型ウェル領域が上記DWELLによって分離されている場合には回路の接地電位が与えられる。これにより、メモリセルを構成するMOSFETと同じゲート絶縁膜の膜厚にされるが、しきい値電圧は小さく形成される。メモリアレイとは離れて形成される入力バッファ等を構成するNチャンネル型MOSFETは、P型基板上に形成されるものであってもよい。

【0035】これらの周辺回路を構成するために、1層目メタル層M1が形成されている。例えば、上記CMOSインバータ回路を構成するためにNチャンネル型MOSFETと図示しない同様な厚膜構造のPチャンネル型MOSFETとのゲートを接続する配線は、上記1層目のメタル層M1が用いられる。上記CMOSインバータ回路を構成するMOSFETのドレイン等と他の回路との接続に第2層目メタル層M2を用いる場合には、スルーホールを介してダミーとしての第1層目メタル層M1に落とし、この第1層目の配線層M1とコンタクトを介して上記ドレインに接続される。

【0036】ブリデコードやセンスアンプ等のように降圧電圧VDLで動作する薄いゲート絶縁膜を持つNチャンネル型MOSFETは、そのゲート絶縁膜が4nmのように薄く形成されるだけで、あとの構造は前記の厚膜MOSFETと同様である。上記のような2種類のゲート絶縁膜を形成する方法としては、まず薄いゲート絶縁膜を形成し、その後に薄膜MOSを形成する部分をマスクして上記薄いゲート絶縁膜を除去して、あらためて厚いゲート絶縁膜を形成する。あるいは、上記薄いゲート絶縁膜上に重合わせるようにしてゲート絶縁膜を形成して膜厚を厚くするものであってもよい。このような薄膜MOSFETでカラム選択スイッチを構成して、3層目のメタル層M3で形成されたY選択線YSをカラム選択スイッチMOSFETのゲートに接続させる場合、スルーホールを介して上記ダミーとしてのメタル層M2、メタル層M1に落とし上記カラムスイッチMOSFETのゲートや、同図のようにソース、ドレインと接続される。

【0037】この実施例のような素子構造を採るとき、上記降圧電圧VDLで動作させられるMOSFETのゲート絶縁膜を薄く形成するものであるので、そのしきい値電圧を小さくすることができる。この結果、上記降圧電圧VDLを2Vあるいは1.8V程度のようにCMOS回路の動作下限電圧付近まで低下させても、必要な

電流を確保することができるから所望の動作速度を維持することができる。そして、後述するようなバーンイン試験においても、電源電圧VDDの上昇に追従して上記降圧電圧VDLも上昇するが、バーンイン試験時の降圧電圧VDLは、そのときの電源電圧VDDの約1/2程度であるために、上記のような薄いゲート絶縁膜に形成してもゲート絶縁膜の耐圧を確保することができる。

【0038】図7には、この発明に係るダイナミック型RAMの一実施例の概略レイアウト図が示されている。同図においては、ダイナミック型RAMを構成する各回路ブロックのうち、この発明に関連する部分が判るように簡略化されて示されており、それが公知の半導体集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上において形成される。

【0039】この実施例では、特に制限されないが、メモリアレイは、全体として8個に分けられる。半導体チップの長手方向に沿った上下に4個、左右に2個ずつのメモリアレイが分割されて設けられ、上記チップの長手方向に沿った中央部分にアドレス入力回路、データ入出力回路及びボンディングパッド列からなる入出力インターフェイス回路等の周辺回路(Peripheral)等が設けられる。上記メモリアレイの上記中央側にはメインアンプMAが配置される。

【0040】上述のように半導体チップの長手方向に沿った上下に2個ずつの4個と、左右に2個ずつに分けられて合計8個からなる各メモリアレイにおいて、長手方向に対して左右方向の中間部にX系ブリデコード回路ROWPDC及び救済回路ROWRED、Y系ブリデコード回路COLPDC及び救済回路COLREDが配置される。上記メモリアレイの上記中間部分に沿ってメインワードドライバ領域MWDが形成されて、それぞれのメモリアレイに対応して下、上方側に延長するように設けられたメインワード線をそれぞれが駆動するようにされる。

【0041】上記メモリアレイにおいて、特に制限されないが、上記チップ中央部分とは反対側のチップ周辺側にYデコードYDCが設けられる。この実施例においては、上記中央側に配置されたメインアンプMAと周辺側に配置されたYデコードYDCとにより上記8分割されてなる各メモリアレイが挟まれるように配置される。上記メモリアレイは、後述するように複数のサブアレイに分割される。かかるサブアレイは、それを挟むように配置されたセンスアンプ領域、サブワードドライバ領域に囲まれて形成される。上記センスアンプ領域と、上記サブワードドライバ領域の交差部は交差領域とされる。上記センスアンプ領域に設けられるセンスアンプは、シェアードセンス方式により構成され、メモリアレイの両端に配置されるセンスアンプを除いて、センスアンプを中心にして左右に相補ビット線が設けられ、左右いずれかのメモリアレイの相補ビット線に

選択的に接続される。

【0042】上述のように半導体チップの長手方向に沿って4個ずつに分けられたメモリアレイは、2個ずつ組となって配置される。このように2個ずつ組となって配置された2つのメモリアレイは、その中間部分にX系プリデコード回路ROWPDC及び救済回路ROWRED、Y系プリデコード回路COLPDC及び救済回路COLREDが配置される。つまり、上記X系プリデコード回路ROWPDC及び救済回路ROWRED、Y系プリデコード回路COLPDC及び救済回路COLREDを中心として、メモリアレイが上下に配置される。上記メインワードドライバMWDは、上記1つのメモリアレイを貫通するようにチップ長手方向に延長されるメインワード線の選択信号を形成する。また、上記メインワードドライバMWDにサブワード選択用のドライバも設けられ、後述するように上記メインワード線と平行に延長されてサブワード選択線の選択信号を形成する。

【0043】1つのサブアレイは、図示しないが512本のサブワード線と、それと直交する512対からなる相補ビット線（又はデータ線）とにより構成される。なお、不良ワード線又は不良ビット線の救済のために予備のワード線及び予備の相補ビット線に設けられるものである。上記1つのメモリアレイにおいて、上記サブアレイがワード線の配列方向に16個設けられるから、全体としての上記サブワード線は約8K分設けられ、ビット線の配列方向に8個設けられるから、相補ビット線は全体として約4K分設けられる。このようなメモリアレイが全体で8個設けられるから、全体では $8 \times 8K \times 4K = 256M$ ビットのような大記憶容量を持つようにされる。これにより、相補ビット線その長さが、上記16個のサブアレイに対応して1/16の長さに分割される。サブワード線は、上記8個のサブアレイに対応して1/8の長さに分割される。

【0044】上記1つのメモリアレイの分割されたサブアレイ毎にサブワードドライバ（サブワード線駆動回路）が設けられる。サブワードドライバは、上記のようにメインワード線に対して1/8の長さに分割され、それと平行に延長されるサブワード線の選択信号を形成する。この実施例では、メインワード線の数を減らすために、言い換えるならば、メインワード線の配線ピッチを緩やかにするために、特に制限されないが、1つのメインワード線に対して、相補ビット線方向に4本からなるサブワード線を配置させる。このようにメインワード線方向には8本に分割され、及び相補ビット線方向に対して4本ずつが割り当てられたサブワード線の中から1本のサブワード線を選択するために、メインワードドライバMWDには図示しないサブワード選択ドライバが配置される。このサブワード選択ドライバは、上記サブワードドライバの配列方向に延長される4本のサブワード選択線の中から1つを選択する選択信号を形成する。

【0045】図7のようなレイアウトを採用した場合において、Yアドレスが入力されると、アドレスバッファADDBUPを通して上記メモリアレイの中間部に設けられた救済回路、プリデコードを介してチップの周辺側に配置されたYデコードYDCに伝えられ、ここでY選択信号が形成される。上記Y選択信号より1つのサブアレイの相補ビット線が選択されて、それと反対側のチップ中央部側のメインアンプMAに伝えられ、増幅されて図示しない出力回路を通して出力される。

【0046】この構成は、一見すると信号がチップを引き回されて読み出し信号が出力されるまでの時間が長くなるように判断される。しかし、救済回路には、アドレス信号をそのまま入力する必要があるため、救済回路をチップ中央のいずれかに配置すると、不良アドレスであるか否かの判定結果をまってプリデコードの出力時間が決定される。つまり、プリデコードと救済回路とが離れていると、そこでの信号遅延が実際のY選択動作を遅らせる原因となる。

【0047】この実施例では、メモリアレイを挟んでメインアンプMAとYデコードYDCが両側に配置されるため、サブアレイの相補ビット線を選択するための信号伝達経路と、選択された相補ビット線から入出力線を通してメインアンプMAの入力に至る信号伝達経路との和は、いずれの相補ビット線を選択しようともメモリアレイを横断するだけの信号伝達経路となって上記のように1往復するものの半分に短縮できるものである。これにより、メモリアクセスの高速化が可能になるものである。

【0048】図8には、この発明に係るダイナミック型RAMをより詳細に説明するための概略レイアウト図が示されている。同図には、メモリチップ全体の概略レイアウトと、8分割された1つのメモリアレイのレイアウトが示されている。同図は、図1の実施例を別の観点から図示したものである。つまり、図1と同様にメモリチップは、長手方向（ワード線方向）に沿った上下に4個、左右に2個ずつのメモリアレイ（Array）が8分割され、その長方向における中央部分には複数からなるボンディングパッド及び入出力回路等の周辺回路（Bonding Pad & peripheral Circuit）が設けられる。

【0049】上記8個のメモリアレイは、前記のようにそれぞれが約32Mビットの記憶容量を持つようにされるものであり、そのうちの1つが拡大して示されているように、ワード線方向に8分割され、ビット線方向に16分割されたサブアレイが設けられる。上記サブアレイのビット線方向の両側には、上記ビット線方向に対してセンスアンプ（Sense Amplifier）が配置される。上記サブアレイのワード線方向の両側には、サブワードドライバ（Sub-Word Driver）が配置される。

【0050】上記1つのメモリアレイには、全体で8192本のワード線と4096対の相補ビット線が設けら

れる。これにより、全体で約 3.2 Mビットの記憶容量を持つようにされる。上記のように 8192 本のワード線が 16 個のサブアレイに分割して配置されるので、1つのサブアレイには 512 本のワード線（サブワード線）が設けられる。また、上記のように 4096 対の相補ビット線が 8 個のサブアレイに分割して配置されるので、1つのサブアレイには 512 対の相補ビット線が設けられる。

【0051】メモリアレイのメインワード線に対応してメインワードドライバ MWD が設けられる。つまり、同図に示されたメモリアレイの左側には、アレイコントロール（Array control）回路及びメインワードドライバ（Main Word driver）が設けられる。上記アレイコントロール回路には、第 1 のサブワード選択線を駆動するドライバが設けられる。上記メモリアレイには、上記 8 分割されたサブアレイを貫通するように延長されるメインワード線が配置される。上記メインワードドライバは、上記メインワード線を駆動する。上記メインワード線と同様に第 1 のサブワード選択線も上記 8 分割されたサブアレイを貫通するように延長される。上記アレイの下部（チップ周辺側）には、Y デコーダ（Y Decoder）及び Y 選択線ドライバ（Y Driver）が設けられる。

【0052】図 9 には、この発明に係るダイナミック型 RAM におけるサブアレイとその周辺回路の一実施例の概略レイアウト図が示されている。同図には、図 8 に示されたメモリアレイの中の斜線を付した位置に配置された 4 つのサブアレイ SBARY が代表として例示的に示されている。同図においては、サブアレイ SBARY が形成される領域には斜線を付すことによって、その周辺に設けられサブワードドライバ領域、センスアンプ領域及びクロスエリアとを区別するものである。

【0053】サブアレイ SBARY（15）は、ワード線の延長方向を水平方向とすると、サブワード線 SWL が 512 本配置され、相補ビット線対は 512 対から構成される。それ故、上記 512 本のサブワード線 SWL に対応した 512 個のサブワードドライバ SWD（17）は、かかるサブアレイの左右に 256 個ずつに分割して配置される。上記 512 対の相補ビット線 BL に対応して設けられる 512 個のセンスアンプ SA（16）は、前記のようなシェアドセンスアンプ方式とされ、かかるサブアレイの上下に 256 個ずつに分割して配置される。

【0054】上記サブアレイ SBARY（15）は、正規のサブワード線 SWL が 512 本に加えて、図示しないが予備ワード線も設けられる。それ故、上記 512 のサブワード線 SWL と上記予備ワード線に対応したサブワードドライバ SWD（17）が、かかるサブアレイ（15）の左右に分割して配置される。上記のように右下のサブアレイ（15）が 512 対の相補ビット線 BL からなり、上記同様に 256 個のセンスアンプ（16）

が上下に配置される。上記右側の上下に配置されるサブアレイ SBARY に形成される 256 対の相補ビット線は、それに挟まれたセンスアンプ SA に対してシェアドスイッチ MOSFET を介して共通に接続される。上記同様に図示しないが、予備のビット線も設けられ、それに対応したセンスアンプ（16）も上下に振り分けられた設けられる。

【0055】メインワード線 MWL は、その 1 つが代表として例示的に示されているように延長される。また、10 カラム選択線 YS は、その 1 つが代表として例示的に示されるように同図の縦方向に延長される。上記メインワード線 MWL と平行にサブワード線 SWL が配置され、上記カラム選択線 YS と平行に相補ビット線 BL（図示せず）が配置されるものである。上記 4 個からなるサブアレイに対して、8 本のサブワード選択線 FXOB ~ FX7B が、メインワード線 MWL と同様に 4 組（8 個）のサブアレイを貫通するように延長される。そして、サブワード選択線 FXOB ~ FX3B からなる 4 本と、FX4B ~ FX7B からなる 4 本とが上下のサブアレイ上に分けて延長させるようにする。このように 2 つのサブアレイに対して 1 組のサブワード選択線 FXOB ~ FX7B を割り当て、かつ、それらをサブアレイ上を延長させるようにする理由は、メモリチップサイズの小型化を図るためである。

【0056】つまり、各サブアレイに対して上記 8 本のサブワード選択線 FXOB ~ FX7B を割り当て、しかもそれをセンスアンプエリア上に配線チャンネルに形成した場合、図 4 のメモリアレイのように 16 個ものサブアレイが上下のメモリアレイにおいて合計 32 個も配置されるために、 $8 \times 32 = 256$ 本分の配線チャンネルが必要になるものである。これに対して、上記の実施例では、配線そのものが、2 つのサブアレイに対して上記 8 本のサブワード選択線 FXOB ~ FX7B を割り当て、しかも、それをサブアレイ上を通過するように配置させることにより、格別な配線チャンネルを設けることなく形成することができる。

【0057】そもそも、サブアレイ上には、8 本のサブワード線に対して 1 本のメインワード線が設けられるものであり、その 8 本の中の 1 本のサブワード線を選択するためにサブワード選択線が必要になるものである。メモリセルのピッチに合わせて形成されるサブワード線の 8 本分に 1 本の割り合いでメインワード線が形成されるものであるために、メインワード線の配線ピッチは緩やかになっている。したがって、メインワード線と同じ配線層を利用して、上記サブワード選択線をメインワード線の間に形成することは比較的容易にできるものである。

【0058】上記メインワード線 MWL と平行に延長されるものを第 1 のサブワード選択線 FXOB とすると、左上部のクロスエリアに設けられ、上記第 1 のサブワー

ド選択線F X O Bからの選択信号を受けるサブワード選択線駆動回路F X Dを介して、上記上下に配列されるサブワードドライバに選択信号を供給する第2のサブワード線F X Oが設けられる。上記第1のサブワード選択線F X O Bは上記メインワード線MWL及びサブワード線SWLと平行に延長されるのに対して上記第2のサブワード選択線は、それと直交するカラム選択線Y S及び相補ビット線BLと平行に延長される。上記8本の第1のサブワード選択線F X O B～F X 7 Bに対して、上記第2のサブワード選択線F X O～F X 7は、偶数F X O、2、4、6と、奇数F X 1、3、5、7とに分割されてサブアレイS B A R Yの左右に設けられたサブワードドライバSWDに振り分けられて配置される。

【0059】上記サブワード選択線駆動回路F X Dは、同図において■で示したように、1つのクロスエリアの上下に2個ずつ分配して配置される。つまり、上記のように左上部のクロスエリアでは、下側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線F X O Bに対応され、左中間部のクロスエリアに設けられた2つのサブワード選択線駆動回路F X Dが、第1のサブワード選択線F X 2 Bと、F X 4 Bに対応され、左下部のクロスエリアに設けられた上側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線F X 6 Bに対応される。

【0060】中央上部のクロスエリア(18)では、下側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線F X 1 Bに対応され、中央中間部のクロスエリアに設けられた2つのサブワード選択線駆動回路F X Dが、第1のサブワード選択線F X 3 Bと、F X 5 Bに対応され、中央下部のクロスエリアに設けられた上側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線F X 7 Bに対応される。そして、右上部のクロスエリアでは、下側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線F X O Bに対応され、右中間部のクロスエリアに設けられた2つのサブワード選択線駆動回路F X Dが、第1のサブワード選択線F X 2 Bと、F X 4 Bに対応され、右下部のクロスエリアに設けられた上側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線F X 6 Bに対応される。このようにメモリアレイの端部に設けられたサブワードドライバは、その右側にはサブアレイが存在しないから、左側だけのサブワード線SWLを駆動する。

【0061】この実施例のようにサブアレイ上のメインワード線のピッチの間にサブワード選択線を配置する構成では、格別な配線チャンネルが不要にできるから、1つのサブアレイに8本のサブワード選択線を配置するようにしてもメモリチップがおおきくなることはない。しかしながら、上記のようなサブワード選択線駆動回路F X Dを形成するために領域が増大し、高集積化を妨げる

こととなる。つまり、上記クロスエリアには、同図において点線で示したようなメイン入出力線M I Oやサブ入出力線L I Oに対応して設けられるスイッチ回路I O S Wや、センスアンプを駆動するパワーM O S F E T、シェアードスイッチM O S F E Tを駆動するための駆動回路、プリチャージM O S F E Tを駆動する駆動回路等の周辺回路が形成されるために面積的な余裕が無いからである。

【0062】サブワードドライバにおいては、上記第2のサブワード選択線F X O～6等には、それと平行に第1サブワード選択線F X O B～6 Bに対応した選択信号を通す配線が設けられるものであるが、その負荷が後述するように小さいので、上記第2のサブワード選択線F X O～6のように格別なドライバF X Dを設けることなく、上記第1サブワード選択線F X O B～6 Bと直接接続される配線によって構成される。ただし、その配線層は上記第2のサブワード選択線F X O～6と同じものが用いられる。

【0063】上記クロスエリアのうち、偶数に対応した第2のサブワード選択線F X O～F X 6の延長方向Aに配置されたものには、○にPで示したようにセンスアンプに対して降圧電圧V D Lを供給するNチャンネル型のパワーM O S F E Tと、○に○で示したようにセンスアンプに対して後述するようなオーバードライブ用の電源電圧V D Dを供給するNチャンネル型のパワーM O S F E T、及び○にNで示したようにセンスアンプに対して回路の接地電位V S Sを供給するためのNチャンネル型のパワーM O S F E Tが設けられる。

【0064】上記クロスエリアのうち、奇数に対応した第2のサブワード選択線F X O～F X 6の延長方向Bに配置されたものには、○にBで示したようにビット線のプリチャージ及びイコライズ用M O S F E Tをオフ状態にさせるNチャンネル型の駆動M O S F E Tと、○にNで示したようにセンスアンプに対して回路の接地電位V S Sを供給するためのNチャンネル型のパワーM O S F E Tが設けられる。このNチャンネル型のパワーM O S F E Tは、センスアンプ列の両側からセンスアンプを構成するNチャンネル型M O S F E Tの増幅M O S F E Tのソースに接地電位を供給するものである。つまり、センスアンプエリアに設けられる128個又は130個のセンスアンプに対しては、上記A側のクロスエリアに設けられたNチャンネル型のパワーM O S F E Tと、上記B側のクロスエリアに設けられたNチャンネル型のパワーM O S F E Tの両方により接地電位が供給される。

【0065】上記のようにサブワード線駆動回路SWDは、それを中心にして両側のサブアレイのサブワード線を選択する。これに対して、上記選択された2つのサブアレイのサブワード線に対応して2つのセンスアンプが活性化される。つまり、サブワード線を選択状態にすると、アドレス選択M O S F E Tがオン状態となり、記憶

キャパシタの電荷がビット線電荷と合成されてしまうので、センスアンプを活性化させてもとの電荷の状態に戻すという書き込み動作を行う必要があるからである。このため、上記端部のサブアレイに対応したものを除いて、上記P、O及びNで示されたパワーMOSFETは、それを挟んで両側のセンスアンプを活性化させるために用いられる。これに対して、メモリアレイの端に設けられたサブアレイの右側に設けられたサブワード線駆動回路SWDでは、上記サブアレイのサブワード線しか選択しないから、上記上記P、O及びNで示されたパワーMOSFETは、上記サブアレイに対応したセンスアンプのみを活性化するものである。

【0066】上記センスアンプは、シェアードセンス方式とされ、それを挟んで両側に配置されるサブアレイのうち、上記サブワード線が非選択された側の相補ビット線に対応したシェアードスイッチMOSFETがオフ状態にされて切り離されることにより、上記選択されたサブワード線に対応した相補ビット線の読み出し信号を増幅し、メモリセルの記憶キャパシタをもとの電荷状態に戻すというリライト動作を行う。

【0067】図10には、この発明に係るダイナミック型RAMにおけるサブアレイとその周辺回路を形成するウェル領域の一実施例の概略レイアウト図が示されている。同図には、図8に示されたメモリアレイの中の点線で囲まれたように、上記斜線を付した位置に配置された4つのサブアレイSBARYを含む8個が代表として例示的に示されている。

【0068】同図において、白地の部分はP型基板(P SUB)を表している。このP型基板P SUBには、回路の接地電位VSSが与えられる。上記P型基板P SUBには、斜線で示したように2種類のN型ウェル領域NWELL(VDL)とNWELL(VDD又はVDDCLP)とが形成される。つまり、センスアンプSAを構成するPチャンネル型の増幅MOSFETが形成されるN型ウェル領域と、前記A列のクロスエリアに配置される前記パワースイッチMOSFETが形成されるN型ウェル領域は、昇圧電圧VPPを利用して形成されたクランプ電圧VDDCLP又はVDDが供給される。

【0069】前記B列のクロスエリアには、サブ入出力線LIOに対応して設けられるスイッチ回路IOSWを構成するPチャンネル型MOSFETや、メイン入出力線に設けられるプリチャージ用とイコライズ用のPチャンネル型MOSFETが形成されるN型ウェル領域が形成され、降圧電圧VDLが供給される。

【0070】サブアレイと、サブワード線駆動回路SWDが形成される全体には、深い深さに形成されさせたN型ウェル領域DWELLが形成される。この深い深さのN型ウェル領域には、ワード線の選択レベルに対応された昇圧電圧VPPが供給される。この深い深さのN型ウェル領域DWELLには、上記サブワード線駆動回路S

WDを構成するPチャンネル型MOSFETが形成されるN型ウェル領域NWWLLが形成され、上記深い深さのN型ウェル領域DWELLと同様に昇圧電圧VPPが印加される。

【0071】上記深い深さのN型ウェル領域DWELLには、メモリセルを構成するNチャンネル型のアドレス選択MOSFET及びサブワード駆動回路SWDのNチャンネル型MOSFETを形成するためのP型ウェル領域PWELLが形成される。これらのP型ウェル領域PWELLには、負の電圧にされた基板バックバイアス電圧VBBが供給される。

【0072】図8で示された8分割された1つのアレイでみると、特に制限されないが、上記深い深さのN型ウェル領域DWELLは、ワード線方向に対応して並べられた8個のサブアレイを1つの単位として、全体で16個がビット線方向に並べられて形成される。そして、アレイ上を延長されるメインワード線の両端に配置されたサブワードドライバ(Sub-Word Driver)に対応されたクロスエリアが前記A列とされ、前記同様にB列のように交互に配置される。それ故、端部を除いて上記A列とその両側に配置される2つのセンスアンプ(Sence Amplifier)のPチャンネル型MOSFETを形成するためのN型ウェル領域NWELL(VDD又はVDDCLP)が共通化して設けられる。

【0073】図11には、この発明に係るダイナミック型RAMのセンスアンプ部を中心にして、アドレス入力からデータ出力までの簡略化された一実施例の回路図が示されている。同図においては、2つのサブアレイ15に上下から挟まれるようにされたセンスアンプ16と前記交差エリア18に設けられる回路が例示的に示され、他はブロック図として示されている。また、点線で示された回路ブロックは、前記符号によりそれぞれが示されている。

【0074】ダイナミック型メモリセルは、上記1つのサブアレイ15に設けられたサブワード線SWLと、相補ビット線BL、BLBのうち的一方のビット線BLとの間に設けられた1つが代表として例示的に示されている。ダイナミック型メモリセルは、アドレス選択MOSFETQmと記憶キャパシタCsから構成される。アドレス選択MOSFETQmのゲートは、サブワード線SWLに接続され、このMOSFETQmのドレインがビット線BLに接続され、ソースに記憶キャパシタCsが接続される。記憶キャパシタCsの他方の電極は共通化されてプレート電圧VPLTが与えられる。上記MOSFETQmの基板(チャンネル)には負のバックバイアス電圧VBBが印加される。上記バックバイアス電圧VBBは、-1Vのようなバックバイアス電圧VBBに設定される。上記サブワード線SWLの選択レベルは、上記ビット線のハイレベルに対して上記アドレス選択MOSFETQmのしきい値電圧分だけ高くされた高電圧V

PPとされる。

【0075】センスアンプを降圧電圧VDLで動作させるようにした場合、センスアンプにより増幅されてビット線に与えられるハイレベルは、上記内部電圧VDLレベルにされる。したがって、上記ワード線の選択レベルに対応した高電圧VPPはVDL+Vth+αにされる。センスアンプの左側に設けられたサブアレイの一对の相補ビット線BLとBLBは、同図に示すように平行に配置され、ビット線の容量バランス等をとるために必要に応じて適宜に交差させられる。かかる相補ビット線BLとBLBは、シェアードスイッチMOSFETQ1とQ2によりセンスアンプの単位回路の入出力ノードと接続される。

【0076】センスアンプの単位回路は、ゲートとドレインとが交差接続されてラッチ形態にされたNチャンネル型の増幅MOSFETQ5、Q6及びPチャンネル型の増幅MOSFETMOSFETQ7、Q8から構成される。Nチャンネル型MOSFETQ5とQ6のソースは、共通ソース線CSNに接続される。Pチャンネル型MOSFETQ7とQ8のソースは、共通ソース線CSPに接続される。上記共通ソース線CSNとCSPには、それぞれパワースイッチMOSFETが接続される。特に制限されないが、Nチャンネル型の増幅MOSFETQ5とQ6のソースが接続された共通ソース線CSNには、上記クロスエリア18に設けられたNチャンネル型のパワースイッチMOSFETQ14により接地電位に対応した動作電圧が与えられる。

【0077】特に制限されないが、上記Pチャンネル型の増幅MOSFETQ7とQ8のソースが接続された共通ソース線CSPには、上記クロスエリア18に設けられたオーバードライブ用のNチャンネル型のパワーMOSFETQ15と、上記内部電圧VDLを供給するNチャンネル型のパワーMOSFETQ16が設けられる。上記オーバードライブ用の電圧には、特に制限されないが、外部端子から供給される電源電圧VDDが用いられる。あるいは、センスアンプ動作速度の電源電圧VDD依存性を軽減するために、ゲートにVPPが印加され、ドレインに電源電圧VDDが供給されたNチャンネル型MOSFETのソースから得られるわずかに降圧したクランプ電圧VDDCLPを用いるようにするものでもよい。

【0078】上記Nチャンネル型のパワーMOSFETQ15のゲートに供給されるセンスアンプオーバードライブ用活性化信号SAP1は、上記Nチャンネル型MOSFETQ16のゲートに供給される活性化信号SAP2と同相の信号とされ、SAP1とSAP2は時系列的にハイレベルにされる。特に制限されないが、SAP1とSAP2のハイレベルは昇圧電圧VPPレベルの信号とされる。つまり、昇圧電圧VPPは、約3.8Vであるので、上記Nチャンネル型MOSFETQ15を十分

にオン状態にさせることができる。MOSFETQ15がオフ状態の後にはMOSFETQ16のオン状態によりソース側から内部電圧VDLに対応した電圧を出力させることができる。

【0079】上記センスアンプの駆動回路において、上記信号SAP1とSAP2は、VPPレベルに対応された高電圧にする必要があるため、前記タイミング回路で形成されたVDLレベルのタイミング信号をレベル変換して形成される。したがって、MOSFETQ15とQ16は厚いゲート絶縁膜のMOSFETで構成される。これに対して、接地電位側のMOSFETQ14のゲートに供給されるタイミング信号SANは、前記VDLレベルの信号がそのまま供給され、かかるMOSFETQ14は薄いゲート絶縁膜とされる。

【0080】上記センスアンプの単位回路の入出力ノードには、相補ビット線を短絡させるイコライズMOSFETQ11と、相補ビット線にハーフプリチャージ電圧VBLRを供給するスイッチMOSFETQ9とQ10からなるプリチャージ（イコライズ）回路が設けられる。これらのMOSFETQ9～Q11のゲートは、共通にプリチャージ信号PCBが供給される。このプリチャージ信号PCBを形成するドライバ回路は、図示しないが、上記クロスエリアにインバータ回路を設けて、その立ち下がりを高速にする。つまり、メモリアクセスの開始時にワード線選択タイミングに先行して、各クロスエリアに分散して設けられたインバータ回路を通して上記プリチャージ回路を構成するMOSFETQ9～Q11を高速に切り替えるようにするものである。

【0081】上記クロスエリア18には、図11に示した回路以外にも、必要に応じて、センスアンプのコモンソース線CSPとCSNのハーフプリチャージ回路、ローカル入出力線LIOのハーフプリチャージ回路、シェアード選択信号線SHRとSHLの分散ドライバ回路等も設けられる。

【0082】センスアンプの単位回路は、シェアードスイッチMOSFETQ3とQ4を介して図下側のサブアレイ15の同様な相補ビット線BL、BLBに接続される。スイッチMOSFETQ12とQ13は、カラムスイッチ回路を構成するものであり、上記選択信号YSが選択レベル（ハイレベル）にされるとオン状態となり、上記センスアンプの単位回路の入出力ノードとローカル入出力線LIO1とLIO1B、LIO2、LIO2B等とを接続させる。例えば、上側のサブアレイのサブワード線SWLが選択されたときには、センスアンプの上側シェアードスイッチMOSFETQ1とQ2はオン状態に、下側シェアードスイッチMOSFETQ3とQ4とがオフ状態にされる。

【0083】これにより、センスアンプの入出力ノードは、上記上側の相補ビット線BL、BLBに接続されて、選択されたサブワード線SWLに接続されたメモリ

セルの微小信号を増幅し、上記カラムスイッチ回路(Q12とQ13)を通してローカル入出力線LIO1、LIO1Bに伝える。上記ローカル入出力線LIO1、LIO1Bは、上記センスアンプ列に沿って、つまり、同図では横方向に延長される。上記ローカル入出力線LIO1、LIO1Bは、クロスエリア18に設けられたNチャンネル型MOSFETQ19とQ20からなるIOスイッチ回路を介してメインアンプ61の入力端子が接続されるメイン入出力線MIO、MIOBに接続される。なお、上記IOスイッチ回路は、選択信号IOSW

によりスイッチ制御され、後述するように上記Nチャンネル型MOSFETQ19とQ20のそれぞれにPチャンネル型MOSFETを並列に接続したCMOSスイッチとされる。

【0084】特に制限されないが、上記カラムスイッチ回路は、1つの選択信号YSにより二対の相補ビット線BL、BLBを二対のローカル入出力線LIO1、LIO1BとLIO2、LIO2Bと接続させる。それ故、1つのメインワード線の選択動作により選択されたサブアレイにおいて、その両側に設けられる一対のセンスアンプに対応して設けられる上記二対のカラムスイッチ回路により合計四対の相補ビット線が選択されることになる。バーストモードでは、上記カラム選択信号YSが切り換えられ、上記ローカル入出力線LIO1、LIO1Bとサブアレイの相補ビット線BL、BLBとが順次に切り換えられる。

【0085】アドレス信号Aiは、アドレスバッファ51に供給される。このアドレスバッファは、時分割的に動作してXアドレス信号とYアドレス信号を取り込む。Xアドレス信号は、プリデコード52に供給され、メインローデコーダ11とメインワードドライバ12を介してメインワード線MWLの選択信号が形成される。上記アドレスバッファ51は、外部端子から供給されるアドレス信号Aiを受けるものである。外部端子から供給される電源電圧VDDにより動作させられ、上記プリデコーダは、降圧電圧VDLにより動作させられ、上記メインワードドライバ12は、昇圧電圧VPPにより動作させられる。カラムデコーダ(ドライバ)53は、上記アドレスバッファ51の時分割的な動作によって供給されるYアドレス信号を受けて、上記選択信号YSを形成する。

【0086】上記メインアンプ61は、降圧電圧VDLにより動作させられ、外部端子から供給される電源電圧VDDで動作させられる出力バッファ62を通して外部端子Doutから出力される。外部端子Dinから入力される書き込み信号は、入力バッファ63を通して取り込まれ、同図においてメインアンプ61に含まれる後述するようなライトアンプを通して上記メイン入出力線MIOとMIOBに書き込み信号を供給する。上記出力バッファの入力部には、レベルシフト回路とその出力信号を上

記クロック信号に対応したタイミング信号に同期させて出力させるための論理部が設けられる。

【0087】特に制限されないが、上記外部端子から供給される電源電圧VDDは、3.3Vにされ、内部回路に供給される降圧電圧VDLは2.0Vに設定され、ワード線の選択信号(昇圧電圧)は、3.8Vにされる。ビット線のプリチャージ電圧VBLRは、VDL/2に対応した1.0Vにされ、プレート電圧VPLTも1.0Vにされる。そして、基板電圧VBBは-1.0Vにされる。

【0088】図12には、この発明に係るダイナミック型RAMの他の一実施例の概略レイアウト図が示されている。この実施例では、メモリアレイは、全体として4個に分けられる。半導体チップの長手方向に沿った上下に2個、左右に2個ずつのメモリアレイが分割されて設けられ、前記同様に上記チップの長手方向に沿った中央部分にアドレス入力回路、データ入出力回路及びボンディングパッド列からなる入出力インターフェイス回路(Periphral)等が設けられる。上記メモリアレイの上記中央側にはメインアンプMAが配置される。

【0089】上述のように半導体チップの長手方向に沿った上下に2個と、左右に2個ずつに分けられて合計4個からなる各メモリアレイにおいて、長手方向に対して左右方向の中間部にX系プリデコード回路ROWPDC及び救済回路ROWRED、Y系プリデコード回路COLPDC及び救済回路COLREDが纏めて配置される。つまり、上記4個のメモリアレイにそれぞれ対応して、上記X系プリデコード回路ROWPDC及び救済回路ROWRED、Y系プリデコード回路COLPDC及び救済回路COLREDが上記左右2個ずつ設けられたメモリアレイに対応して2組ずつ振り分けて設けられる。

【0090】上記メモリアレイの上記中間部分に沿って前記同様にメインワードドライバ領域MWDが形成されて、それぞれのメモリアレイに対応して下、上方側に延長するように設けられたメインワード線をそれぞれが駆動するようにされる。この構成では、前記同様なサブアレイを用いた場合には、16個のサブアレイを貫通するようにメインワード線が延長される。そして、上記メモリアレイにおいて、上記チップ中央部分とは反対側のチップ周辺側にYデコーダYDCが設けられる。つまり、この実施例においても、上記中央側に配置されたメインアンプMAと周辺側に配置されたYデコーダYDCとにより上記4分割されてなる各メモリアレイがそれぞれ挟まれるように配置されるものである。

【0091】図13には、この発明に用いられるキャパシタの一実施例の回路図が示されている。この実施例では、MOSFETのゲート電極を一方の電極とし、ゲート絶縁膜を誘電体とし、ソースとドレインを共通接続して他方の電極として容量素子として利用する。この場

合、そのキャパシタの両電極間にVPPあるいはVDDのような大きな電圧が印加される平滑容量、あるいは位相補償容量は、厚いゲート絶縁膜のMOSFETを利用し、キャパシタの両電極間にVSLのような降圧電圧しか印加されない平滑容量、あるいは位相補償容量は、薄いゲート絶縁膜のMOSFETを利用するものである。これにより、誘電体として利用するゲート絶縁膜の耐圧破壊を防止しつつ、低電圧VDLしか印加されない容量は、ゲート絶縁膜が薄くされることによって小さな面積で大きな容量を得ることができる。

【0092】図14には、基板電圧発生回路に設けられる電圧検出回路の一実施例の構成図が示されている。図14(A)の回路図に示されているように、薄いゲート絶縁膜のMOSFETQ40のドレインに定電流源を設け、ゲートに回路の接地電位を供給する。このMOSFETQ40のソースと基板電圧VBBとの間に、直列形態にされたMOSFETQ37、Q38及びQ39を設け、それぞれのゲートを上記MOSFETQ40のソースに接続する。そして、それぞれのドレイン、ソース間にヒューズを設けて短絡状態にしておく。

【0093】上記MOSFETQ37~Q39のうち、MOSFETQ37とQ38が厚いゲート絶縁膜を持つようにされ、MOSFETQ39が薄いゲート絶縁膜を持つようにされる。そして、図14(B)のゲート長としきい値電圧VTHとの特性図に示すように、ゲート長LGを比較的長くしてしきい値電圧VTHのばらつきが小さな領域を用い、MOSFET38とQ39はゲート長LG=aのように短く形成して、MOSFETQ37のゲート長LG=cのように大きく形成して、3通りのしきい値電圧VTHの設定を行う。

【0094】そして、上記MOSFETQ40のしきい値電圧との関係で、基板電圧VBBが-1Vになったときに、MOSFETQ40のドレイン電圧がインバータ回路のロジックスレッシュホールド電圧以下になるようなMOSFETQ37~Q39の組み合わせをヒューズの選択的な切断によって選ぶようにするものである。このような検出電圧調整部を用いることにより、MOSFETのプロセスばらつきを補償して上記基板電圧VBBの設定を行うことができる。つまり、上記MOSFETQ40のドレイン電圧の低下よりインバータ回路を通した出力信号がハイレベルにされると、基板電圧VBBを発生させるチャージポンプ回路の動作を停止させる。基板電圧VBBがリーク電流等によって絶対的に小さく、バックバイアスが浅くなると、上記MOSFETQ40のドレインが上昇してインバータ回路を通した出力信号のロウレベルにより、上記基板電圧VBBを発生させるチャージポンプ回路の動作を再開させる。このようなチャージポンプ回路の間欠的な動作によって、基板電圧VBBをほぼ-1Vのような一定電圧にすることができるものとなる。

【0095】本願発明では、前記のようなメモリセルの情報保持特性、バーンイン時のMOSFETの耐圧の確保と、低消費電力化のための内部電圧の低電圧化と動作速度の維持という互いに相反するような技術的課題を、それぞれの動作電圧に対応した2種類のゲート絶縁膜を用いて回路を構成することを活用し、上記2種類のMOSFETのゲート絶縁膜の膜厚とゲート長lgとの組み合わせにより3通りのしきい値電圧を実現し、電圧検出回路の調整範囲、言い換えるならば、基板電圧のプロセスばらつきの補償範囲を広く、しかも設定電圧を精度よくすることができる。

【0096】図15には、内部電圧発生回路の一実施例のブロック図が示されている。この実施例の電圧発生回路は、チャージポンプ回路を利用して昇圧電圧VPP又は負電圧VBBを形成するものである。電圧発生回路は、VPP又はVBBと所望の設定電圧との比較を行う検出回路と、この検出信号を受けて制御信号を形成する制御回路、この制御回路により動作制御が行われる発振回路、上記発振回路の発振信号を受けて昇圧電圧VPP又は基板電圧VBBを発生するチャージポンプ回路からなる発生回路で構成される。

【0097】上記の各回路ブロックのうち、斜線を付した検出回路及び発生回路は、厚膜MOSFETで構成され、降圧電圧VDLで動作させられる制御回路及び発振回路は薄膜MOSFETで構成される。上記検出回路は、動作電圧が降圧電圧VDLとされるために、本来なら薄膜MOSFETを用いるものであるが、上記調整範囲に上記のような調整範囲を広く、あるいは精度よくするために厚膜MOSFETが用いられる。また、VPP用の検出回路では、必然的に厚膜MOSFETが用いられる。

【0098】図16には、この発明に用いられるレベルシフト回路の一実施例の回路図が示されている。図16(A)において、降圧電圧VDLに対応した低振幅の入力信号Dinは、Nチャンネル型MOSFETQ44のゲートと、Nチャンネル型MOSFETQ42のソースに接続される。このMOSFETQ42のゲートには、上記降圧電圧VDLが供給される。上記一対のMOSFETQ42とQ44のドレインと電源電圧VDD(又はVPP)との間には、互いにゲートとドレインとが交差接続されたPチャンネル型MOSFETQ41とQ43が設けられる。

【0099】この回路の動作は、次の通りである。上記入力信号Dinがハイレベル(VDL)なら、Nチャンネル型MOSFETQ42がオフ状態に、Nチャンネル型MOSFETQ44がオン状態にされる。MOSFETQ44のオン状態により、出力信号Doutはロウレベルにされ、MOSFETQ41をオン状態にさせる。MOSFETQ41のオン状態により、MOSFETQ43のゲートをVDD(又はVPP)にするので、MOSF

ETQ43はオフ状態にされる。上記入力信号Dinがロウレベル(0V)なら、Nチャンネル型MOSFETQ42がオン状態に、Nチャンネル型MOSFETQ44がオフ状態にされる。MOSFETQ42のオン状態により、入力信号DinのロウレベルがPチャンネル型MOSFETQ43のゲートに伝えられてオン状態にされる。MOSFETQ43のオン状態により、MOSFETQ41のゲートをVDD(又はVPP)にするので、MOSFETQ41はオフ状態にされ、出力信号DoutはVDD(又はVPP)のようなハイレベルにされる。

【0100】図16(B)において、降圧電圧VDLに対応した入力信号D1は、上記同様にNチャンネル型MOSFETQ44のゲートと、Nチャンネル型MOSFETQ42のソースに接続される。このMOSFETQ42のゲートには、上記降圧電圧VDLが供給される。上記一対のMOSFETQ42とQ44のドレインと電源電圧VDD(又はVPP)との間には、互いにゲートとドレインとが交差接続されたPチャンネル型MOSFETQ41とQ43が設けられる。

【0101】例えば、ノア(NOR)論理を実現するために、そのドレインが出力端子Doutに接続されたNチャンネル型MOSFETQ44には並列形態にNチャンネル型MOSFETQ46が設けられ、上記出力端子Doutにドレインが接続されたPチャンネル型MOSFETQ43には、Pチャンネル型MOSFETQ45が直列形態に設けられる。これらのNチャンネル型MOSFETQ46とPチャンネル型MOSFETQ45のゲートには、電源電圧VDD(又はVPP)に対応したタイミング信号D2が供給される。なお、MOSFETQ45とQ43とは接続の上下を逆にしてもよい。

【0102】この回路の動作は、次の通りである。上記低振幅信号D1がロウレベル(0V)なら、Nチャンネル型MOSFETQ42がオン状態に、Nチャンネル型MOSFETQ44がオフ状態にされている。したがって、タイミング信号D2がハイレベルのときには、上記Pチャンネル型MOSFETQ41とQ43によるラッチ動作とは無関係に、タイミング信号D2のハイレベルによりオン状態にされるNチャンネル型MOSFETQ46によって、出力端子Doutは回路の接地電位VSSのようなロウレベルにされる。

【0103】タイミング信号D2がハイレベルからロウレベルに変化すると、上記Pチャンネル型MOSFETQ45がオン状態に、Nチャンネル型MOSFETQ46がオフ状態にされる。したがって、上記信号D1がロウレベルならNチャンネル型MOSFETQ42がオン状態になって、信号D1のロウレベルを上記Pチャンネル型MOSFETQ43のゲートに供給してオン状態にさせる。したがって、オン状態にされた上記MOSFETQ45とQ43によって出力端子Doutはロウレベルからハイレベルに変化させられる。もしも、信号D1が

ハイレベルなら、Nチャンネル型MOSFETQ42がオフ状態に、Nチャンネル型MOSFETQ44がオン状態にされるので、上記出力端子Doutからは上記接地電位VSSのようなロウレベルが引き続き出力される。このように図16(B)の回路では、低振幅信号D1と大振幅信号D2との論理を採りながらレベル変換動作も合わせて行うようにすることができる。

【0104】図17には、上記内部電圧回路の電圧特性図が示されている。降圧回路及び昇圧回路のそれぞれは、外部電圧VDDの許容変動範囲を含んでほぼ一定の電圧を形成する。つまり、3.3V版ではVPPは3.6V、VDLは2.0Vに安定化される。2.5V版でも、特に制限されないが、VPPは3.6V、VDLは2Vに安定化される。上記VDLは1.8Vのようにいっそう低電圧化することも可能である。

【0105】3.3V版では電源電圧VDDの検出回路が設けられて、4.2V以上に電源電圧を高くすると、VPPは昇圧動作が停止させて電源電圧VDDがそのまま出力され、降圧電圧VDLはVDDに追従してVDD-2.3Vになるように変化し、電源電圧VDDが5.5Vに設定されるバーンイン試験時には、上記VPPはVDDに対応して5.5Vまで高くなる。しかし、降圧電圧VDLは、3.2Vのような低い電圧にとどまるために、上記のように約4nmのような薄いゲート絶縁膜にしても絶縁破壊が生じない。

【0106】2.5V版でも上記同様に電源電圧VDDの検出回路が設けられて、3.2V以上に電源電圧を高くすると、VPPはVDD+0.8Vを出力させるように動作し、降圧電圧VDLはVDDに追従してVDD-0.8Vになるように変化し、電源電圧VDDが4.0Vに設定されるバーンイン試験時には、上記VPPはVDDに対応して4.8Vまで高くなる。しかし、降圧電圧VDLは、やはり3.2V程度にとどまるために、上記のように約4nmのような薄いゲート絶縁膜にしても絶縁破壊は生じない。

【0107】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

- (1) 外部端子から供給された電源電圧を受けて動作する内部電圧発生回路より、降圧電圧及び必要に応じて昇圧電圧を形成して内部回路を動作させる半導体集積回路装置において、上記外部端子から供給された電源電圧又は上記内部電圧発生回路で形成された昇圧電圧を受けて動作する第1の内部回路を上記電源電圧又は昇圧電圧に対応した厚い膜厚のゲート絶縁膜を持つ第1のMOSFETで構成し、上記降圧電圧を受けて動作する第2の内部回路を上記降圧電圧に対応した薄い膜厚のゲート絶縁膜を持つ第2のMOSFETで構成することにより、信頼性を損なうことなく、デバイスの微細化と高速化及び低消費電力化を実現することができるという効果が得られる。

【0108】(2) 上記昇圧電圧として、電源電圧が所定電圧以上にされたときにはそれに依存して上昇されて上記所定電圧以上の電源電圧又は昇圧電圧にされたバーンイン試験時での上記電源電圧及昇圧電圧を含むものであり、上記降圧電圧として、電源電圧が所定電圧以上にされたときにはそれに依存して上昇されるものであり、上記電源電圧が上記所定電圧以上にされたバーンイン試験時での降圧電圧も含むものとするにより、半導体集積回路装置の高信頼性を実現することができるという効果が得られる。

【0109】(3) 外部端子から供給されに入力信号を受ける入力回路及び外部端子へ出力信号を送出する出力回路と、上記内部電圧発生回路と、上記内部電圧発生回路で形成された昇圧電圧で動作させられる内部回路に対して厚い膜厚のゲート絶縁膜を持つMOSFETを用いことにより、外部とのインターフェイスを実現しつつ、上記バーンイン試験を含めたデバイスの耐圧を確保することができるという効果が得られる。

【0110】(4) 降圧電圧で動作させられる内部回路であっても、上記電源電圧又は昇圧電圧で動作させられる内部回路の動作タイミング信号に対応して降圧電圧で動作させられる内部回路の動作タイミング信号を形成するものは、上記厚いゲート絶縁膜のMOSFETが支配的に作用する遅延回路とすることにより、厚いゲート絶縁膜のMOSFETのプロセスばらつきに対応したタイミング設定ができ、時間マージンを最小に設定することができるから2種類のゲート絶縁膜のMOSFETを用いつつ、高速化を維持することができるという効果が得られる。

【0111】(5) ダイナミック型RAMを構成するアドレス選択MOSFETと記憶キャパシタからなるダイナミック型メモリセルと、かかるダイナミック型メモリセルが接続されたワード線の選択信号を形成するワードドライバを昇圧電圧で動作させ、アドレス信号及び必要に応じて設けられるクロック信号を含む制御入力信号と書き込み入力信号を入力させる入力回路及び、上記メモリセルから読み出された読み出し信号を出力させる出力回路を電源電圧で動作させることにより、メモリセルの情報保持時間を確保しつつ、外部装置との入出力インターフェイスを実現することができるという効果が得られる。

【0112】(6) 上記メモリセルのアドレス選択MOSFETが形成された半導体領域に負電圧にされたバックバイアス電圧を供給し、かかるバックバイアス電圧を上記内部電圧発生回路により形成することにより、アドレス選択MOSFETのしきい値電圧をいっそう高くすることができ、情報保持特性を改善を図ることができるという効果が得られる。

【0113】(7) 上記ワードドライバの動作タイミング信号を上記厚いゲート絶縁膜のMOSFETが支配

的に作用する遅延回路により遅延させた動作タイミング信号により動作させることにより、メモリセルからビット線に読み出された読み出し信号に対応したセンスアンプの動作タイミングを設定することができ、高速なメモリアクセスを実現できるという効果が得られる。

【0114】(8) 上記センスアンプの動作タイミング信号を第2のMOSFETにより構成されてセンスアンプに対応された薄いゲート絶縁膜のMOSFETを用いた遅延回路の遅延信号により、上記電源電圧又は昇圧電圧に対応したセンスアンプを構成するPチャンネル型MOSFETのソースに電源電圧を供給するオーバードライブ用Nチャンネル型MOSFETの動作時間を設定し、かかる動作時間後に上記センスアンプを構成するPチャンネル型MOSFETのソースに上記降圧電圧を供給するドライブ用Nチャンネル型MOSFETを駆動することにより、オーバードライブ時間をセンスアンプの動作に対応させて実施することができるという効果が得られる。

【0115】(9) 上記厚いゲート絶縁膜のMOSFETが支配的に作用する遅延回路は、上記厚いゲート絶縁膜のMOSFETにより構成され、遅延すべき入力信号が入力端子に供給されたインバータ回路と、このインバータ回路の出力信号を伝達する抵抗手段と、上記抵抗手段を通した信号が伝えられ、上記第2のMOSFETのゲート容量を利用して構成されたキャパシタと、上記第2のMOSFETにより構成され、上記抵抗とキャパシタからなる時定数回路の出力信号が入力端子に供給されて、上記遅延信号を形成する1ないし2つのインバータ回路で構成することにより、少ない素子数で比較的大きな遅延時間を低消費電力により形成することができるという効果が得られる。

【0116】(10) 上記電源電圧又は上記内部電圧発生回路で形成された昇圧電圧を受けて動作する内部回路には、かかる電圧がゲートに印加された平滑用MOS容量、位相補償用容量を含み、内部電圧発生回路で形成された降圧電圧を受けて動作する第2の内部回路には、かかる電圧がゲートに印加された平滑用MOS容量、位相補償用容量を含むように使い分けることにより、耐圧の確保と小さなサイズでの大きな容量値を実現できるとい

【0117】(11) 上記内部電圧発生回路には、定電流源がドレインに設けられ、ゲートが回路の接地電位に接続され、ソースと基板電圧との間に検出電圧調整部が設けられた上記薄いゲート絶縁膜のMOSFETで構成された第4のNチャンネル型MOSFETと、上記第4のMOSFETのドレイン出力を受けて検出信号を形成するインバータ回路で構成されて基板電圧を所望の電圧に設定する電圧検出回路を備えた基板電圧発生回路を含み、上記検出電圧調整部をゲートが上記第4のNチャンネル型MOSFETのソースに接続され、ドレイン、

ソース経路が直列形態にされた第5、第6及び第7のNチャンネル型MOSFET及びそれぞれのドレイン、ソース間を短絡するヒューズ手段で構成しておいて、上記第5及び第6のNチャンネル型MOSFETをゲート絶縁膜の膜厚が厚く形成し、上記第7のNチャンネル型MOSFETは、ゲート絶縁の膜厚を薄く形成し、かつ、それぞれのMOSFETのゲート長としきい値電圧との関係においてしきい値電圧のばらつきの小さなゲート長の範囲であって、しきい値電圧がそれぞれ異なるようにそれぞれのゲート長を設定し、上記ヒューズの選択的な切断によって上記検出電圧の調整を行うことによりMOSFETのプロセスばらつきの補償範囲を広くでき高精度にVBB電圧の設定を行うことができるという効果が得られる。

【0118】(12) ダイナミック型RAMとして、上記メインワード線の延長方向に対して分割された長さとなされ、かつ、上記メインワード線と交差するビット線方向に対して複数配置され、複数からなるダイナミック型メモリのアドレス選択端子が接続されてなるサブワード線及び上記複数のサブワード線とそれと直交するように配置され、上記ダイナミック型メモリの入出力端子がその一方に接続された複数の相補ビット線対からなるサブアレイと、上記メインワード線の選択信号と上記サブワード選択線を通して伝えられた選択信号とを受けて、上記サブワード線の選択信号を形成する複数からなるサブワード線駆動回路と、上記メインワード線の選択信号を形成するメインワード線駆動回路とを含むものとするにより、大記憶容量化と高速化を実現できるという効果が得られる。

【0119】(13) 上記ダイナミック型RAMにおいて、上記サブアレイに対応した上記複数からなるサブワード線配列の両端側にサブワード線駆動回路が振り分けられて分割して配置し、上記複数からなる相補ビット線配列の両端側にセンスアンプが振り分けられて分割して配置し、上記1つのサブアレイを、上記複数のサブワード線駆動回路列と上記複数のセンスアンプ列とにより囲まれるように形成することにより、大記憶容量化と高速化を実現できるという効果が得られる。

【0120】(14) 上記センスアンプを、シェアーセンス方式とし、それを中心にして隣接するサブアレイのビット線に対応して設け、上記サブワード線駆動回路を中心にして隣接するサブアレイのサブワード線を選択することにより、大記憶容量化と高速化を実現できるという効果が得られる。

【0121】(15) 上記降圧電圧を、ほぼ2V以下であって薄いゲート絶縁膜のMOSFETで構成されるCMOS回路の下限動作電圧よりも高い電圧に設定することにより、低消費電力化を図りつつ、動作速度を維持することができるという効果が得られる。

【0122】(16) 外部端子から供給された電源電

圧を受け、それを降圧した降圧電圧を発生させる降圧回路と、上記高圧電圧より高い電圧を受けて動作する第1の内部回路と、上記降圧電圧で動作する第2の内部回路とを備え、上記第1の内部回路を基本的に第1膜厚のゲート絶縁膜を持つ第1のMOSFETで構成し、上記第2の内部回路を基本的に上記第1膜厚より薄い第2膜厚のゲート絶縁膜を持つ第2のMOSFETで構成し、上記第2の内部回路において、上記第1の内部回路に対するタイミング信号を形成する遅延回路を上記第1のMOSFETを用いて構成することにより、プロセスばらつきを考慮した時間マージンの設定を最小にすることができるという効果が得られる。

【0123】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、ダイナミック型RAMにおいて、サブアレイの構成、または半導体チップに搭載される複数のメモリアレイの配置は、その記憶容量等に応じて種々の実施形態を探ることができる。また、サブワードドライバの構成は、種々の実施形態を探ることができる。入出力インターフェースの部分は、クロック信号に従ってリード/ライト動作が行われるようなシンクロナスあるいはランバス仕様のダイナミック型RAMとしてもよい。ダイナミック型RAMは、CMOS回路等のロジック回路と混在されて1つの半導体集積回路装置を構成するものであってもよい。昇圧電圧で動作させられる回路は、前記メモリセルやその選択回路の他、何であってよい。

【0124】この発明は、外部端子から供給される電源電圧又はそれを昇圧した電圧で動作する内部回路と、上記電源電圧の降圧電圧で動作する内部回路とを備えた半導体集積回路装置に広く利用することができる。この場合、ゲート絶縁膜の膜厚は、その動作電圧に対応して、前記のようなバーンイン試験時の電圧を考慮した耐圧や、その回路に要求される特別な理由によって決められるものであればよい。

【0125】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、外部端子から供給された電源電圧を受けて動作する内部電圧発生回路より、降圧電圧及び必要に応じて昇圧電圧を形成して内部回路を動作させる半導体集積回路装置において、上記外部端子から供給された電源電圧又は上記内部電圧発生回路で形成された昇圧電圧を受けて動作する第1の内部回路を上記電源電圧又は昇圧電圧に対応した厚い膜厚のゲート絶縁膜を持つ第1のMOSFETで構成し、上記降圧電圧を受けて動作する第2の内部回路を上記降圧電圧に対応した薄い膜厚のゲート絶縁膜を持つ第2のMOSFETで構成することにより、信頼性を損なうことなく、デバイス

の微細化と高速化及び低消費電力化を実現することができる。

【0126】上記第1の内部回路の動作に対応して第2の内部回路を動作させるときには、上記第2の内部回路の動作タイミング信号を上記第1の内部回路を構成する第1のMOSFETが支配的に作用するようにされた遅延回路で第1の内部回路の動作状態をモニタして形成することにより、プロセスばらつきを考慮した時間マージンの設定を最小にすることができるという効果が得られる。

【図面の簡単な説明】

【図1】この発明に係るダイナミック型RAMの一実施例を示す全体ブロック図である。

【図2】図1のタイミング回路の一実施例を示す概略ブロック図である。

【図3】図2の遅延回路DL2の一実施例を示す回路図である。

【図4】この発明に係るダイナミック型RAMに用いられるサブワードドライバの一実施例を示す回路図である。

【図5】この発明に係るダイナミック型RAMのロウ系の選択動作の一例を説明するためのタイミング図である。

【図6】この発明に係るダイナミック型RAMの一実施例を説明するための素子構造断面図である。

【図7】この発明に係るダイナミック型RAMの一実施例を示す概略レイアウト図である。

【図8】この発明に係るダイナミック型RAMをより詳細に説明するための概略レイアウト図である。

【図9】この発明に係るダイナミック型RAMにおけるサブアレイとその周辺回路の一実施例を示す概略レイアウト図である。

【図10】この発明に係るダイナミック型RAMにおけるサブアレイとその周辺回路を形成するウェル領域の一

実施例の概略レイアウト図である。

【図11】この発明に係るダイナミック型RAMのセンスアンプ部を中心にして、アドレス入力からデータ出力までの簡略化された一実施例を示す回路図である。

【図12】この発明に係るダイナミック型RAMの他の一実施例を示す概略レイアウト図である。

【図13】この発明に用いられるキャパシタの一実施例を示す回路図である。

【図14】この発明に係るダイナミック型RAMの基板電圧発生回路に設けられる電圧検出回路の一実施例を示す構成図である。

【図15】この発明に係るダイナミック型RAMに設けられる内部電圧発生回路の一実施例を示すブロック図である。

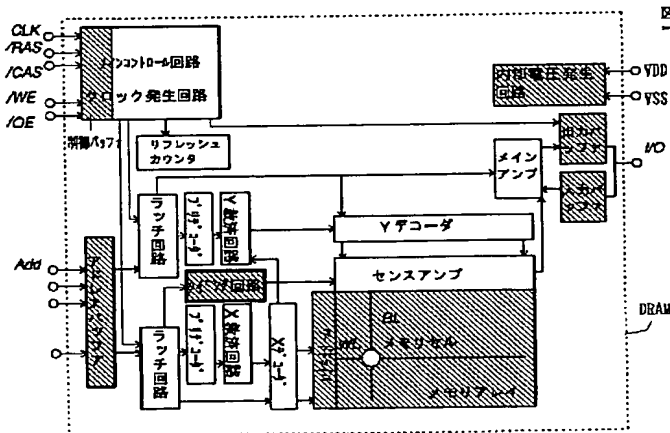
【図16】この発明に用いられるレベルシフト回路の一実施例を示す回路図である。

【図17】この発明に係るダイナミック型RAMの内部電圧回路の一例を示す電圧特性図である。

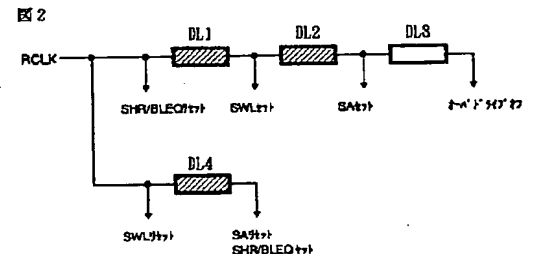
【符号の説明】

YDC…Yデコーダ、MA…メインアンプ、COLRED…Y系救済回路、COLPDC…Y系プリデコーダ、ROWRED…X系救済回路、ROWPDC…X系プリデコーダ、SA…センスアンプ、SWD…サブワードドライバ、MWD…メインワードドライバ、MWL…メインワード線、SWL…サブワード線、YS…カラム選択線、SBARY…サブアレイ、15…メセリセルアレイ（サブアレイ）、16…センスアンプ領域、17…サブワードドライバ領域、18…交差領域（クロスエリア）、51…アドレスバッファ、52…プリデコーダ、53…デコーダ、61…メインアンプ、62…出力バッファ、63…入力バッファ、Q1～Q46…MOSFET、

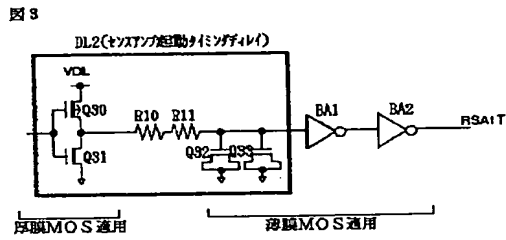
【図1】



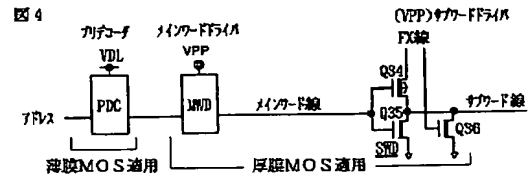
【図2】



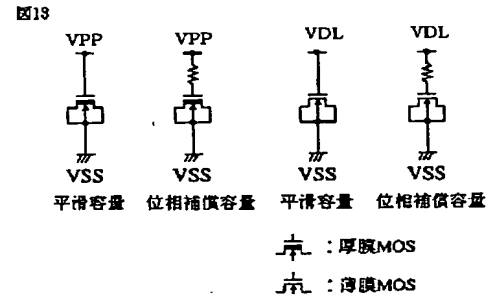
【図3】



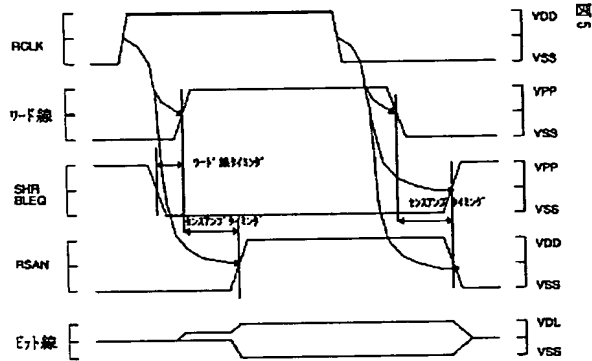
【図4】



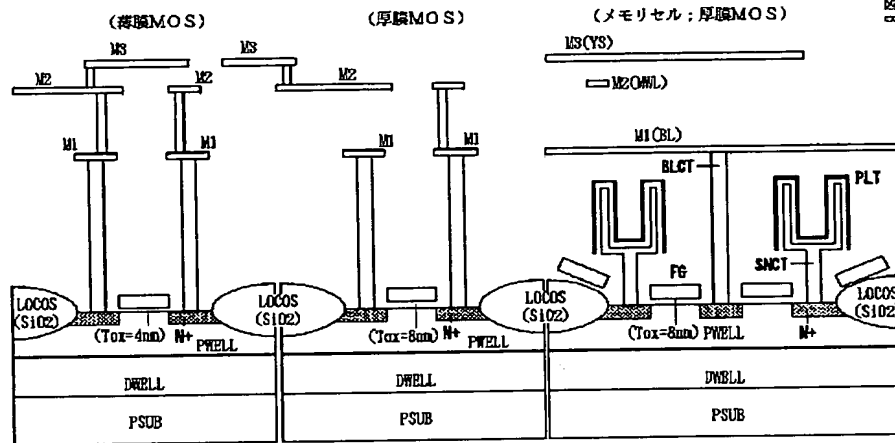
【図13】



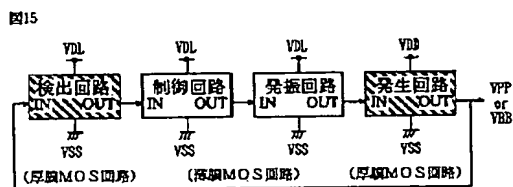
【図5】



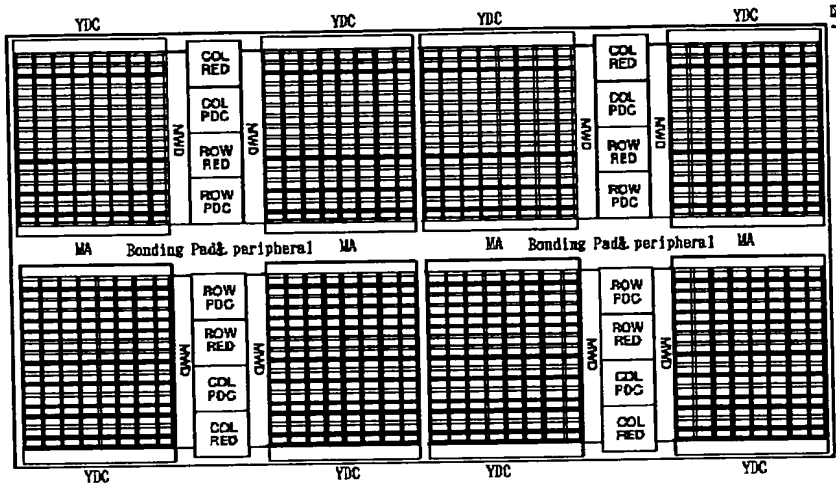
【図6】



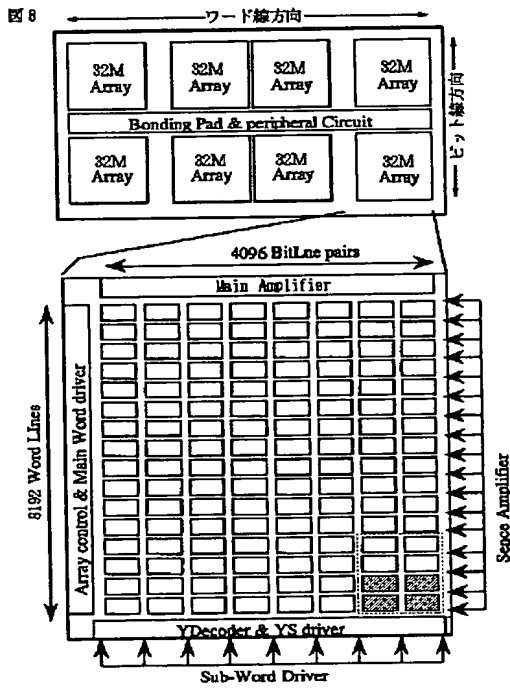
【図15】



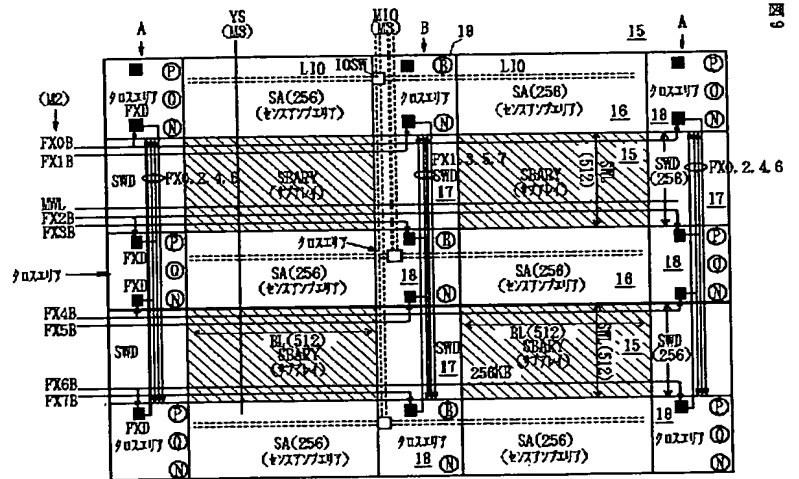
【図 7】



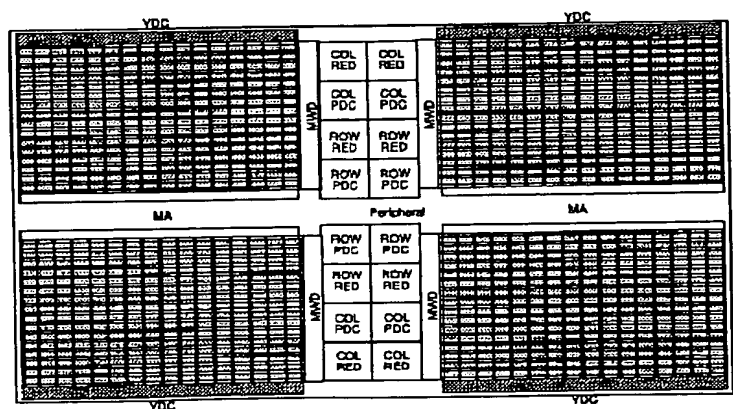
【図 8】



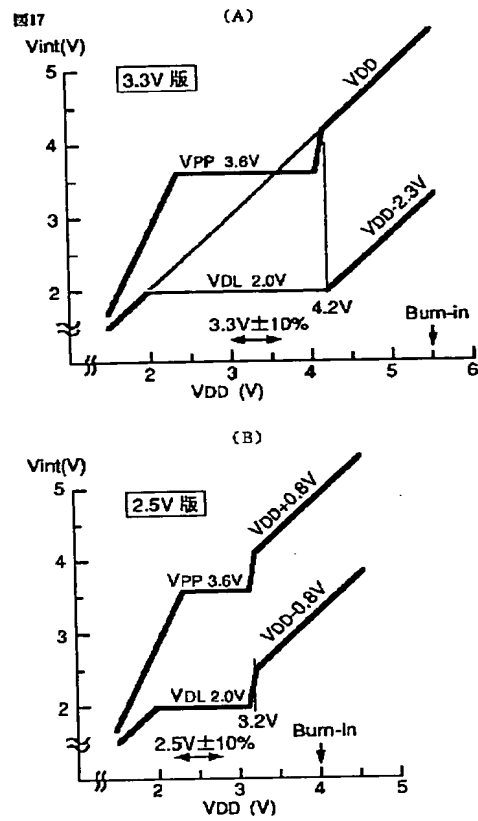
【図 9】



【図 12】



【図 1 7】



フロントページの続き

(72) 発明者 福井 健一
 東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体事業部内

(72) 発明者 立花 利一
 千葉県茂原市早野3681番地 日立デバイス
 エンジニアリング株式会社内